

US913

併合親2002-353133

US

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    8 月 2 5 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 3 0 0 4 2 2  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 3 0 0 4 2 2 ]

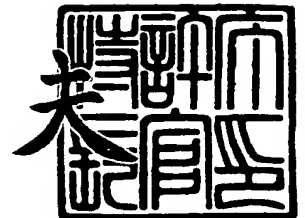
出 願 人                      N E C エレクトロニクス株式会社  
Applicant(s):



2 0 0 3 年 1 2 月 1 9 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 1 0 5 4 7 1

【書類名】 特許願  
【整理番号】 74520026  
【あて先】 特許庁長官 今井 康夫 殿  
【国際特許分類】 H01L 27/04  
【発明者】  
    【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内  
    【氏名】 澤畠 弘一  
【発明者】  
    【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内  
    【氏名】 児玉 紀行  
【特許出願人】  
    【識別番号】 302062931  
    【氏名又は名称】 NECエレクトロニクス株式会社  
【代理人】  
    【識別番号】 100090158  
    【弁理士】  
    【氏名又は名称】 藤巻 正憲  
    【電話番号】 03-3539-5651  
【先の出願に基づく優先権主張】  
    【出願番号】 特願2002-353133  
    【出願日】 平成14年12月 4日  
【手数料の表示】  
    【予納台帳番号】 009782  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 0216549

**【書類名】 特許請求の範囲****【請求項 1】**

第 1 導電型基板又は第 1 導電型層の表面に形成された第 2 導電型ウエル及び第 1 導電型ウエルと、前記第 2 導電型ウエルの表面に形成された第 1 高濃度第 2 導電型領域、第 2 高濃度第 2 導電型領域及び第 1 高濃度第 1 導電型領域と、前記第 1 導電型ウエルの表面に形成された第 3 高濃度第 2 導電型領域と、を有し、前記第 1 高濃度第 2 導電型領域及び第 1 高濃度第 1 導電型領域は第 1 電源に接続され、前記第 3 高濃度第 2 導電型領域は前記第 1 の電源とは異なる電位の第 2 の電源に接続され、前記第 2 高濃度第 2 導電型領域は前記第 1 電源とは異なる電位に設定されることを特徴とする静電気放電保護素子。

**【請求項 2】**

第 1 導電型基板又は第 1 導電型層と、この第 1 導電型基板又は第 1 導電型層の表面に相互に隣接して形成された第 2 導電型ウエル及び第 1 の第 1 導電型ウエルと、前記第 1 導電型基板又は第 1 導電型層の表面に形成された第 2 の第 1 導電型ウエルと、前記第 2 導電型ウエルの表面に形成された第 1 高濃度第 2 導電型領域、第 2 高濃度第 2 導電型領域及び第 1 高濃度第 1 導電型領域と、前記第 1 の第 1 導電型ウエルの表面に形成された第 3 高濃度第 2 導電型領域と、前記第 2 の第 1 導電型ウエルの表面に形成された第 2 高濃度第 1 導電型領域とを有し、前記第 1 高濃度第 2 導電型領域及び第 1 高濃度第 1 導電型領域は第 1 電源に接続され、前記第 3 高濃度第 2 導電型領域及び前記第 2 高濃度第 1 導電型領域は前記第 1 の電源とは異なる電位の第 2 の電源に接続され、前記第 2 高濃度第 2 導電型領域はトリガ電流供給用回路に接続されていることを特徴とする静電気放電保護素子。

**【請求項 3】**

前記トリガ電流供給回路は、前記第 2 高濃度第 2 導電型領域と前記第 2 の電源との間に接続された MOS トランジスタを有することを特徴とする請求項 2 に記載の静電気放電保護素子。

**【請求項 4】**

前記トリガ電流供給回路は、前記第 2 高濃度第 2 導電型領域と前記第 2 の電源との間に接続されたダイオードを有することを特徴とする請求項 2 に記載の静電気放電保護素子。

**【請求項 5】**

前記第 1 高濃度第 1 導電型領域と前記第 3 高濃度第 2 導電型領域とは隣接していることを特徴とする請求項 2 乃至 4 のいずれか 1 項に記載の静電気放電保護素子。

**【請求項 6】**

前記第 2 高濃度第 2 導電型領域と前記第 3 高濃度第 2 導電型領域とは隣接していることを特徴とする請求項 2 乃至 4 のいずれか 1 項に記載の静電気放電保護素子。

**【請求項 7】**

前記第 1 高濃度第 2 導電型領域及び前記第 2 高濃度第 2 導電型領域は、夫々複数の分割領域からなり、前記第 1 高濃度第 2 導電型領域及び前記第 2 高濃度第 2 導電型領域の各分割領域は、前記第 2 高濃度第 1 導電型領域と前記第 3 高濃度第 2 導電型領域との対向方向に直交する方向に交互に配置されており、各分割領域間に前記第 1 高濃度第 1 導電型領域が延出していることを特徴とする請求項 2 乃至 6 のいずれか 1 項に記載の静電気放電保護素子。

**【請求項 8】**

前記第 1 高濃度第 2 導電型領域は 2 分割されて前記第 2 高濃度第 1 導電型領域と前記第 3 高濃度第 2 導電型領域との対向方向に直交する方向に離れて配置されており、前記第 2 高濃度第 2 導電型領域は前記第 1 高濃度第 2 導電型領域の分割領域間に配置され、前記第 1 高濃度第 2 導電型領域の分割領域と前記第 2 高濃度第 2 導電型領域間の前記第 1 高濃度第 1 導電型領域が延出していることを特徴とする請求項 2 乃至 6 のいずれか 1 項に記載の静電気放電保護素子。

**【請求項 9】**

前記第 3 高濃度第 2 導電型領域は 2 分割されて前記第 2 高濃度第 1 導電型領域と前記第 3 高濃度第 2 導電型領域との対向方向に直交する方向に離れて配置されており、前記第 2 導

電型ウエルが前記第3高濃度第2導電型領域の分割領域間に延出しており、前記第2高濃度第2導電型領域はこの第2導電型ウエルの延出領域に配置されていることを特徴とする請求項2乃至6のいずれか1項に記載の静電気放電保護素子。

【請求項10】

前記第1高濃度第2導電型領域及び前記第3高濃度第2導電型領域は夫々2分割されて前記第2高濃度第1導電型領域と前記第3高濃度第2導電型領域との対向方向に直交する方向に離れて配置されており、前記第2導電型ウエルが前記第3高濃度第2導電型領域の分割領域間に延出しており、前記第2高濃度第2導電型領域はこの第2導電型ウエルの延出領域に配置されていると共に、前記第1高濃度第1導電型領域は前記第1高濃度第2導電型領域の分割領域間に延出していることを特徴とする請求項2乃至6のいずれか1項に記載の静電気放電保護素子。

【請求項11】

前記第1高濃度第2導電型領域は2分割されて前記第2高濃度第1導電型領域と前記第3高濃度第2導電型領域との対向方向に直交する方向に離れて配置されており、前記第1高濃度第1導電型領域は前記第1高濃度第2導電型領域の分割方向の中央部の前記第3高濃度第2導電型領域寄りの部分が切りかかれており、前記第2高濃度第2導電型領域がこの切欠部に配置されていることを特徴とする請求項2乃至6のいずれか1項に記載の静電気放電保護素子。

【請求項12】

第1導電型基板又は第1導電型層の表面に形成された第2導電型ウエル及び第1導電型ウエルと、前記第2導電型ウエルの表面に形成された第1高濃度第2導電型領域、第2高濃度第2導電型領域及び第1高濃度第1導電型領域と、前記第1導電型ウエルの表面に形成された第3高濃度第2導電型領域及び第3高濃度第1導電型領域と、を有し、前記第1高濃度第2導電型領域及び第1高濃度第1導電型領域は第1電源に接続され、前記第3高濃度第2導電型領域は前記第1の電源とは異なる電位の第2の電源に接続され、前記第2高濃度第2導電型領域と前記第3高濃度第1導電型領域とはダイオードを介して接続されていることを特徴とする静電気放電保護素子。

【請求項13】

第1導電型基板又は第1導電型層と、この第1導電型基板又は第1導電型層の表面に相互に隣接して形成された第2導電型ウエル及び第1の第1導電型ウエルと、前記第1導電型基板又は第1導電型層の表面に形成された第2の第1導電型ウエルと、前記第2導電型ウエルの表面に形成された第1高濃度第2導電型領域、第2高濃度第2導電型領域及び第1高濃度第1導電型領域と、前記第1の第1導電型ウエルの表面に形成された第3高濃度第2導電型領域及び第3高濃度第1導電型領域と、前記第2の第1導電型ウエルの表面に形成された第2高濃度第1導電型領域とを有し、前記第1高濃度第2導電型領域及び第1高濃度第1導電型領域は第1電源に接続され、前記第3高濃度第2導電型領域及び前記第2高濃度第1導電型領域は前記第1の電源とは異なる電位の第2の電源に接続され、前記第2高濃度第2導電型領域と前記第3高濃度第1導電型領域とはダイオードを介して接続されていることを特徴とする静電気放電保護素子。

【請求項14】

前記第3高濃度第2導電型領域は2分割されて前記第2高濃度第1導電型領域と前記第3高濃度第2導電型領域との対向方向に直交する方向に離れて配置されており、前記第2導電型ウエルが前記第3高濃度第2導電型領域の分割領域間に延出しており、前記第2高濃度第2導電型領域はこの第2導電型ウエルの延出領域に配置されていると共に、前記第3高濃度第1導電型領域は2分割されて前記第1高濃度第1導電型領域と前記第3高濃度第2導電型領域との対向領域の外側に配置されていることを特徴とする請求項13に記載の静電気放電保護素子。

【請求項15】

前記第2導電型ウエルは前記第3高濃度第1導電型領域の分割領域と前記第2高濃度第2導電型領域との対向領域の背後まで延出していることを特徴とする請求項14に記載の静

電気放電保護素子。

【請求項 16】

前記第2高濃度第2導電型領域と前記第3高濃度第2導電型領域とは隣接していることを特徴とする請求項12乃至15のいずれか1項に記載の静電気放電保護素子。

【請求項 17】

前記前記第2高濃度第2導電型領域の幅は、設計ルールで許容される範囲内でコンタクトを形成することができる最小の幅であることを特徴とする請求項1乃至16のいずれか1項に記載の静電気放電保護素子。

【請求項 18】

P型基板又はP型層と、このP型基板又はP型層の表面に形成されたNウエルと、前記Nウエルの表面に形成された第1高濃度N型領域、第2高濃度N型領域及び第1高濃度P型領域と、前記P型基板又はP型層の表面に形成された第3高濃度N型領域、第2高濃度P型領域及び第3高濃度P型領域と、前記第1高濃度P型領域と前記第2高濃度N型領域との間に接続された第1抵抗素子と、前記第2高濃度P型領域と前記第3高濃度P型領域との間に接続された第2抵抗素子と、を有し、前記第1高濃度N型領域及び第1高濃度P型領域は第1電源に接続され、前記第3高濃度N型領域及び前記第2高濃度P型領域は前記第1の電源とは異なる電位の第2の電源に接続され、前記第2高濃度N型領域はトリガ電流供給用回路に接続されていることを特徴とする静電気放電保護素子。

【請求項 19】

前記第2高濃度N型領域と前記第3高濃度N型領域とは隣接していることを特徴とする請求項18に記載の静電気放電保護素子。

【請求項 20】

前記第2高濃度N型領域の幅は、設計ルールで許容される範囲内でコンタクトを形成することができる最小の幅であることを特徴とする請求項18又は19に記載の静電気放電保護素子。

【請求項 21】

第1導電型基板又は第1導電型層と、この第1導電型基板又は第1導電型層の表面に相互に隣接して形成された第2導電型ウエル及び第1導電型ウエルと、前記第2導電型ウエルの表面に形成された第1高濃度第2導電型領域、第1高濃度第1導電型領域及び第2高濃度第1導電型領域と、前記第1導電型ウエルの表面に形成された第2高濃度第2導電型領域及び第3高濃度第1導電型領域とを有し、前記第1高濃度第2導電型領域及び第1高濃度第1導電型領域は第1電源に接続され、前記第2高濃度第2導電型領域及び前記第3高濃度第1導電型領域は前記第1の電源とは異なる電位の第2の電源に接続され、前記第2高濃度第1導電型領域はトリガ電流供給用回路に接続されていることを特徴とする静電気放電保護素子。

【請求項 22】

前記第2高濃度第1導電型領域と前記第2高濃度第2導電型領域とは隣接していることを特徴とする請求項21に記載の静電気放電保護素子。

【請求項 23】

前記第1高濃度第2導電型領域及び前記第1高濃度第1導電型領域は、夫々複数個に分割されて前記第1高濃度第2導電型領域と前記第1高濃度第1導電型領域との対向方向に直交する方向に離れて配置されており、各分割領域間に前記第2高濃度第1導電型領域が延出していることを特徴とする請求項21又は22に記載の静電気放電保護素子。

【請求項 24】

前記第2高濃度第1導電型領域は、前記分割領域間に延出している部分は設計ルールで許容される範囲内でコンタクトを形成することができる最小の幅であり、前記分割領域間に延出している部分以外の部分は前記最小の幅未満であることを特徴とする請求項23に記載の静電気放電保護素子。

【請求項 25】

第1導電型基板又は第1導電型層と、この第1導電型基板又は第1導電型層の表面に相互

に隣接して形成された第 2 導電型ウエル及び第 1 導電型ウエルと、前記第 2 導電型ウエルの表面に形成された第 1 高濃度第 1 導電型領域及び第 1 高濃度第 2 導電型領域と、前記第 1 導電型ウエルの表面に形成された第 2 高濃度第 2 導電型領域及び第 2 高濃度第 1 導電型領域とを有し、第 1 高濃度第 1 導電型領域は第 1 電源に接続され、前記第 2 高濃度第 2 導電型領域及び前記第 2 高濃度第 1 導電型領域は前記第 1 の電源とは異なる電位の第 2 の電源に接続され、前記第 1 高濃度第 2 導電型領域はトリガ電流供給用回路に接続されていることを特徴とする静電気放電保護素子。

【請求項 2 6】

前記第 1 高濃度第 2 導電型領域と前記第 2 高濃度第 2 導電型領域とは隣接していることを特徴とする請求項 2 5 に記載の静電気放電保護素子。

【請求項 2 7】

前記第 1 高濃度第 2 導電型領域は、設計ルールで許容される範囲内でコンタクトを形成することができる最小の幅であることを特徴とする請求項 2 5 又は 2 6 に記載の静電気放電保護素子。

【請求項 2 8】

前記第 1 高濃度第 1 導電型領域は、夫々複数個に分割されて前記第 2 高濃度第 2 導電型領域と前記第 2 高濃度第 1 導電型領域との対向方向に直交する方向に離れて配置されており、各分割領域間に前記第 1 高濃度第 2 導電型領域が延出していることを特徴とする請求項 2 5 又は 2 6 に記載の静電気放電保護素子。

【請求項 2 9】

前記第 1 高濃度第 1 導電型領域は、前記分割領域間に延出している部分は設計ルールで許容される範囲内でコンタクトを形成することができる最小の幅であり、前記分割領域間に延出している部分以外の部分は前記最小の幅未満であることを特徴とする請求項 2 8 に記載の静電気放電保護素子。

【請求項 3 0】

隣接する高濃度領域の間にはシリサイドが形成されていない領域が設けられていることを特徴とする請求項 1 乃至 2 9 のいずれか 1 項に記載の静電気放電保護素子。

【請求項 3 1】

隣接する高濃度領域の間にはゲート電極が設けられていることを特徴とする請求項 1 乃至 2 9 のいずれか 1 項に記載の静電気放電保護素子。

【書類名】明細書

【発明の名称】静電気放電保護素子

【技術分野】

【0001】

本発明はチップ上に設けられ静電気放電から内部回路を保護するオンチップ静電気放電保護素子に関し、特に、ターンオン速度の高速化を図ったサイリスタ型静電気放電保護素子に関する。

【背景技術】

【0002】

近時、半導体デバイスが複雑化し高密度化しているため、その製造工程における組立工程中等において、静電気放電（ESD: Electro static Discharge）によって半導体デバイスが破壊されるという問題が発生し始めている。その対策として、半導体デバイスのチップ内に、静電気放電の電流を安全な経路で効率的に放電させて内部回路の素子を保護するオンチップ静電気放電保護素子（以下、ESD保護素子ともいう）が設けられている。

【0003】

特に、CMOSトランジスタのチップの場合、微細化が進行して、ゲート酸化膜が極めて薄くなってきており、ゲート酸化膜の耐電圧が低下しているため、ESD放電に対して著しく敏感となっている。つまり、静電気放電保護素子が低インピーダンスになり始める電圧（トリガ電圧）と、ゲート酸化膜の耐電圧との差が小さくなってきているので、大量の電流が流れると、ゲート酸化膜に許容以上の電圧が印加されて、破壊に至る危険性が高くなってきている。従って、近時の静電気放電保護素子には、ゲート酸化膜の耐電圧の低下に伴い、トリガ電圧を低くすることが要求されている。

【0004】

一般に、高速動作を要求されるCMOSトランジスタ回路の入力回路は、低いRC遅延を必要としているので、静電気放電保護回路を付加することにより、付加容量を低くする必要があるので、一般に広く使用されている大きな保護抵抗を使用することはできない。また、付加容量の点以外にも、製造コストの観点からも、保護素子のレイアウト面積を小さくすることが要求されている。

【0005】

特に、サイリスタを利用して、ESD現象によって生じる損傷からチップを保護する方法は、サイリスタが他の保護素子と比較して極めて低容量であり、レイアウト面積も小さく、かつ極めて低い保持電圧を持つという優れた利点を有することから、多用されてきた。このサイリスタ型静電気放電保護素子に関しては、特許文献1乃至3及び非特許文献1に記載されている。

【0006】

図23は従来例1の静電気放電保護素子である低電圧トリガサイリスタのレイアウトを示す平面図、図24は図23に示すA-A線による断面図である。図23及び24に示すように、従来例1の静電気放電保護素子は、P<sup>+</sup>半導体基板1の表面に、第1のPウェル3aと、Nウェル2と、第2のPウェル3bとが形成されており、Nウェル2における素子分離絶縁膜6に仕切られた領域に、サイリスタのアノードとなるP<sup>+</sup>拡散層4と、Nウェル電位固定用電極となるN<sup>+</sup>拡散層5とが形成され、このNウェル2に隣接するPウェル3b内にNMOSトランジスタのソースドレインとなる1対のN<sup>+</sup>拡散層9と、このN<sup>+</sup>拡散層9間の基板上にゲート電極8が形成されている。また、このN<sup>+</sup>拡散層9のうち、NMOSトランジスタのドレイン部分（P<sup>+</sup>拡散層4側のN<sup>+</sup>拡散層9）が、Nウェル2に接続されており、NMOSトランジスタのソース部分（反対側のN<sup>+</sup>拡散層9）が、サイリスタのカソードとなっている。

【0007】

入力パッドは、Nウェル2中のP<sup>+</sup>拡散層4に接続され、Nウェル電位固定用電極のN<sup>+</sup>拡散層5は電源V<sub>dd</sub>ラインに接続されている。また、グラウンドパッドは、サイリスタのカソードとなるN<sup>+</sup>拡散層9に接続されている。なお、符号7はラッチアップ防止用

の  $P^+$  拡散層であり、接地に接続されてガードリングとなる。

【0008】

サイリスタに接続される入力パッドに正の過電圧静電気が加わると、NMOS トランジスタのドレイン側  $P-N$  接合がアバランシェブレイクダウンを起こし、MOS トランジスタが電流を流し始める。そうすると、基板電流が流れることで、基板電位を上昇させる。これは、サイリスタのカソード (NMOS トランジスタのソース) 底面の電位を上昇させて、 $N^+ / P$  ダイオードが順バイアスされて、横型  $NPN$  バイポーラ素子 11 を導通させる要因となる。また、 $N$  ウエル 2 内に電流が流れることで、 $N$  ウエル 2 内に電位差が生じて、アノード ( $N$  ウエル 2 中の  $P^+$  拡散層 4) 底面の電位が、 $N$  ウエル電位固定用電極を構成する  $N^+$  拡散層 5 の電位に比較して低下することで、 $P^+ / N$  ダイオードが順バイアスされて、縦型  $PNP$  バイポーラ素子 12 が導通することになる。この際に、縦型バイポーラ素子 12 は、基板に電流を供給するので、横型バイポーラ素子 11 の導通を促進するという正のフィードバックが生じる。このため、1 ナノ秒程度の時間内に、低抵抗の電流経路がアノード ( $P^+$  拡散層 4) - カソード ( $N^+$  拡散層 9) 間に形成される。この保護動作時には、ターン・オン・インピーダンスが極めて低いこと、保持電圧 (サイリスタ状態を保てる電圧) が極めて低いことから、大きな電流が流れる場合でも、クランプ電圧が極めて低く、このため、この従来例 1 のサイリスタは、消費電力、つまり、発生する熱量を抑制することができるという利点を有する。

【0009】

なお、サイリスタの保護性能、つまり、保持電圧、ダイナミック抵抗及び低抵抗になるまでの遷移時間は、アノード-カソード間隔に依存していて、高速動作する高性能のサイリスタを作るためには、その間隔を最小にする必要があると記載されている文献もあるが、実際は、横方向  $NPN$  バイポーラトランジスタ 11 の性能が低いために、それがサイリスタの性能を決めているという指摘も多い。実際、本願発明者等の追試結果により、アノード ( $P^+$  拡散層 4) -  $N$  ウエル 2 間の距離を 1 乃至  $2 \mu m$  離しても、保持電流及び保持電圧等の特性はほとんど変化しないことが判明している。これは、横方向  $NPN$  バイポーラトランジスタの性能が低いことを示唆している。また、 $N$  ウエル抵抗は、 $P^+ / N$  ウエルで構成される保護ダイオードとして使用されている場合が多く、その場合には、 $N$  ウエル抵抗を  $P$  ウエル抵抗に比べて低く設定している場合もある。その場合、ダイナミック抵抗等の特性も、アノード ( $P^+$  拡散層 4) -  $N$  ウエル 2 間の距離に依存しにくい。

【0010】

この点から考えると、低電圧トリガサイリスタは、 $N$  ウエル-カソード間を狭くできない場合が多く、遷移時間が極めて長くなる場合があり、このため、ESD 保護性能が大きく低下すると考えられる。

【0011】

なお、トリガのきっかけとなる電流は、従来例 1 の回路に限らず、一定の電圧を超えると電流が流れ始める回路とすればよく、直列にダイオードを接続した回路等もある。

【0012】

図 25 は従来例 2 の静電気放電保護素子のレイアウトを示す平面図であり、図 26 は図 25 に示す  $B-B$  線による断面図である。この静電気放電保護素子においては、NMOS トランジスタの代わりに、第 2 の  $P$  ウエル 3b 内に直接トリガタップとなる  $P^+$  拡散層 10 が形成されている。この  $P^+$  拡散層 10 によるトリガ電流供給により、基板電位を上昇させる (例えば、特許文献 2 参照)。

【0013】

また、基板トリガ横形  $NPN$  トランジスタを用いた集積化された静電気放電保護回路が提案されている (特許文献 4 参照)。特許文献 4 においては、その図 13 に記載されているように、基板電流を供給する回路として、 $N$  型 MOSFET を使用し、ソースと、 $P^+$  拡散層とを接続する回路を基板バイアス回路としている。更に、従来の静電保護素子においては、特許文献 5 の図 2a、特許文献 6 の図 8、非特許文献 1 及びそれらについて上記説明に記載されているように、電源電圧が低い場合には、サイリスタの保持電圧が、通常



動作中でラッチアップしてしまう可能性があるため、基板又はNウエルに抵抗素子を付加して、保持電圧を高くするような工夫がされている。更にまた、特許文献7には、前述の特許文献4に記載のトリガ方法を改善しつつ、保持電圧制御を外部抵抗で制御する静電気放電保護素子であるサイリスタが記載されている。図27は特許文献7に記載のサイリスタのレイアウトを示す平面図であり、図28(a)は図27に示すC-C線による断面図であり、図28(b)は図27に示すD-D線による断面図である。図27、図28(a)及び(b)に示すように、特許文献7に記載のサイリスタは、アノード及びカソードを分割して、その間にNウエル電位制御用電極及びPウエル電位制御用電極を挿入している。そして、トリガ電流は、カソード間のP<sup>+</sup>拡散層に供給される。

#### 【0014】

【特許文献1】米国特許5,225,702号明細書

【特許文献2】米国特許5,465,189号明細書

【特許文献3】米国特許5,502,317号明細書

【特許文献4】特開平09-107074号公報 (第3-7頁、第13図)

【特許文献5】米国特許5,012,317号明細書

【特許文献6】米国特許4,939,616号明細書

【特許文献7】米国特許出願公開第2002/0153571号明細書

【非特許文献1】Chatterjee A., Polgreen T., 「A low-voltage triggering SCR for on-chip ESD protection at output and input pads」, IEEE Electron Device Letters, 1991年1月, 第12巻, 第1号, p. 21-22

【非特許文献2】Ameraskera et al., 「Substrate Triggering and Salicide Effects on ESD Performance and Protection Circuit Design in Submicron CMOS Processes」, IEDM, 1995年, p. 547-550

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0015】

しかしながら、上述の従来の技術には以下に示すような問題点がある。特許文献1には、特に、サイリスタに関して、そのターンオンスピードを追及するために、基板電流供給位置を変更した素子構造が記載されている。この方法は、トリガ電流をアノード-カソードにできるだけ近い領域に置くことで、効率的に電位を上昇させることを目的としている。一般に、高濃度にボロンをドーピングしたシリコン基板に、3 $\mu$ m程度のエピタキシャル膜を成長させた低抵抗基板では、本来的に、基板電位が上昇し難いという問題点がある。従って、電流を多量に供給しなければならないのであるが、基板電流供給用のP<sup>+</sup>拡散層の面積が小さいと、その基板までの抵抗が高くなり、十分なトリガ電流を供給できない危険性があるという問題点がある。

#### 【0016】

また、通常のサイリスタでも、Nウエルの電位はVDDに接続しているサイリスタが一般的である。これは、電源電圧が印加されている状態(通常動作時)で、サイリスタが誤って導通するといった誤動作を防ぐためである。その他に、そのアノードとの間のPNダイオードで、電流を電源保護に流すことにより、縦方向のバイポーラを導通させる目的もある。

#### 【0017】

入力保護の場合は、この回路構成をとることができるのであるが、電源保護にサイリスタを用いる場合には、そのような基準電位が無いので、不可能である。実際、低抵抗基板では、他にトリガ回路を持つサイリスタでも、このようなNウエルをVDDに接続する回路構成としない場合は、保護性能が大きく低下しているし、電源保護でも十分な保護性能が得られていない。つまり、低抵抗基板では、縦型バイポーラ素子を導通させるような回路構成も必要である。

#### 【0018】

また、Nウエル中のPNPバイポーラを積極的に導通させるためには、特許文献1の図

11に示すような構造では、ダイオードが電流を流し始める速度は、早くても、数100 p秒程度であり、高速の放電現象では、サイリスタのターンオン時間が極めて長くなって、電圧が高くなり過ぎてしまうという問題点がある。

#### 【0019】

上述の如く、サイリスタを構成する縦型バイポーラトランジスタ素子12を高速に導通させるような構造が必要であること、基板電流を効率的に供給するような構造が必要であること、レイアウト面積を低く抑制する必要があることという要求に応えることができる静電気放電保護素子は従来存在せず、この種の静電気放電保護素子の開発が強く求められている。

#### 【0020】

また、前述の背景技術において説明したように、サイリスタの保持電圧を安定的に調整することは重要である。特に、近年、STIプロセス(Shallow Trench Isolation:浅溝埋込分離)が使用されるようになっており、Nウエル中の抵抗が大きくばらつくことが多くなっている。実際問題として、Nウエル抵抗、基板抵抗は、Nウエル中の $N^+$ 拡散層及びPウエル中の $P^+$ 拡散層の面積又はレイアウトに依存することが多く、サイリスタを製品に適用する場合には、試作及び評価によって、保持電圧などの性能をあわせこむことが必要であるという問題点がある。更に、特許文献7に記載のサイリスタにおいては、外部抵抗で調整できる程度にNウエル抵抗及びPウエル抵抗を下げる必要があるが、実際は、図27、図28(a)及び(b)に示すように、電極を横側に配置している関係で、実質的な抵抗率は下がりにくく、横方向に抵抗分布が生じる。このため、サイリスタの保持電流は、最大の抵抗となるアノード及びカソード電極のほぼ中央部分で決まってしまう。よって、保持電流を極めて高く設定しなければならない場合には、所定の値まで抵抗が下がらないため、分割を多くしなければならなくなり、レイアウト面積が非常に広くなるという問題点がある。

#### 【0021】

更にまた、サイリスタの保持電圧を、先に述べたカソード-Nウエルエッジ間隔を離すことで調整している場合には、動作速度の低下をもたらすというだけではなく、プロセス変更などで、保持電圧などのパラメータがずれた場合に、レティクルを新規に用意しなければならないし、それまで工場で製造されているウエハを廃棄しなければならないという高いリスクを負うことになり、サイリスタの適用に大きな制約を与えているという課題がある。

#### 【0022】

更に、特許文献6に記載の静電気放電保護素子は、Nウエル中の2つの $N^+$ 拡散層の間に $P^+$ 拡散層を挿入して、その $N^+$ 拡散層間に抵抗素子を付加しているだけの構造であり、これでは、サイリスタ素子をオンさせるにはNウエルの耐圧40V以上の電圧が、被保護素子に印加されてしまう。従って、現在の微細な素子では、耐電圧がこの値をはるかに下回っているので、適用できない。

#### 【0023】

本発明はかかる問題点に鑑みてなされたものであって、縦型バイポーラトランジスタ素子を高速動作させることができ、基板電流を効率的に供給することができ、更にレイアウト面積を低く抑制することができると共に、保持電圧などの素子の性能調整が容易な静電気放電保護素子を提供することを目的とする。

#### 【課題を解決するための手段】

#### 【0024】

本発明は以下の特徴を有する。但し、特許請求の範囲に記載の第1導電型をP型とし、第2導電型をN型として記載する。しかし、本発明はこれに限らず、逆の導電型でもよい。

#### 【0025】

本願第1発明に係る静電気放電保護素子は、P型基板又はP型層の表面に形成されたNウエル及びPウエルと、前記Nウエルの表面に形成された第1高濃度N型領域、第2高濃

度N型領域及び第1高濃度P型領域と、前記Pウエルの表面に形成された第3高濃度N型領域と、を有し、前記第1高濃度N型領域及び第1高濃度P型領域は第1電源に接続され、前記第3高濃度N型領域は前記第1の電源とは異なる電位の第2の電源に接続され、前記第2高濃度N型領域は前記第1電源とは異なる電位に設定されることを特徴とする。

【0026】

本願第2発明に係る静電気放電保護素子は、P型基板又はP型層と、このP型基板又はP型層の表面に相互に隣接して形成されたNウエル及び第1Pウエルと、前記P型基板又はP型層の表面に形成された第2Pウエルと、前記Nウエルの表面に形成された第1高濃度N型領域、第2高濃度N型領域及び第1高濃度P型領域と、前記第1Pウエルの表面に形成された第3高濃度N型領域と、前記第2のPウエルの表面に形成された第2高濃度P型領域とを有し、前記第1高濃度N型領域及び第1高濃度P型領域は第1電源に接続され、前記第3高濃度N型領域及び前記第2高濃度P型領域は前記第1の電源とは異なる電位の第2の電源に接続され、前記第2高濃度N型領域はトリガ電流供給用回路に接続されていることを特徴とする。

【0027】

この静電気放電保護素子において、前記トリガ電流供給回路は、例えば、前記第2高濃度N型領域と前記第2の電源との間に接続されたMOSトランジスタを有する。

【0028】

又は、前記トリガ電流供給回路は、前記第2高濃度N型領域と前記第2の電源との間に接続されたダイオードを有する。

【0029】

この静電気放電保護素子において、例えば、(a) 前記第1高濃度P型領域と前記第3高濃度N型領域とは隣接している、(b) 前記第2高濃度N型領域と前記第3高濃度N型領域とは隣接している、(c) 前記第1高濃度N型領域及び前記第2高濃度N型領域は、夫々複数個の分割領域からなり、前記第1高濃度N型領域及び前記第2高濃度N型領域の各分割領域は、前記第2高濃度P型領域と前記第3高濃度N型領域との対向方向に直交する方向に交互に配置されており、各分割領域間に前記第1高濃度P型領域が延出している、(d) 前記第1高濃度N型領域は2分割されて前記第2高濃度P型領域と前記第3高濃度N型領域との対向方向に直交する方向に離れて配置されており、前記第2高濃度N型領域は前記第1高濃度N型領域の分割領域間に配置され、前記第1高濃度N型領域の分割領域と前記第2高濃度N型領域間の前記第1高濃度P型領域が延出している、(e) 前記第3高濃度N型領域は2分割されて前記第2高濃度P型領域と前記第3高濃度N型領域との対向方向に直交する方向に離れて配置されており、前記Nウエルが前記第3高濃度N型領域の分割領域間に延出しており、前記第2高濃度N型領域はこのNウエルの延出領域に配置されている、(f) 前記第1高濃度N型領域及び前記第3高濃度N型領域は夫々2分割されて前記第2高濃度P型領域と前記第3高濃度N型領域との対向方向に直交する方向に離れて配置されており、前記Nウエルが前記第3高濃度N型領域の分割領域間に延出しており、前記第2高濃度N型領域はこのNウエルの延出領域に配置されていると共に、前記第1高濃度P型領域は前記第1高濃度N型領域の分割領域間に延出している、(g) 前記第1高濃度N型領域は2分割されて前記第2高濃度P型領域と前記第3高濃度N型領域との対向方向に直交する方向に離れて配置されており、前記第1高濃度P型領域は前記第1高濃度N型領域の分割方向の中央部の前記第3高濃度N型領域寄りの部分が切りかかれており、前記第2高濃度N型領域がこの切欠部に配置されている。

【0030】

本願第3発明に係る静電気放電保護素子は、P型基板又はP型層の表面に形成されたNウエル及びPウエルと、前記Nウエルの表面に形成された第1高濃度N型領域、第2高濃度N型領域及び第1高濃度P型領域と、前記Pウエルの表面に形成された第3高濃度N型領域及び第3高濃度P型領域と、を有し、前記第1高濃度N型領域及び第1高濃度P型領域は第1電源に接続され、前記第3高濃度N型領域は前記第1の電源とは異なる電位の第2の電源に接続され、前記第2高濃度N型領域と前記第3高濃度P型領域とはダイオード

を介して接続されていることを特徴とする。

【0031】

本願第4発明に係る静電気放電保護素子は、P型基板又はP型層と、このP型基板又はP型層の表面に相互に隣接して形成されたNウエル及び第1Pウエルと、前記P型基板又はP型層の表面に形成された第2Pウエルと、前記Nウエルの表面に形成された第1高濃度N型領域、第2高濃度N型領域及び第1高濃度P型領域と、前記第1Pウエルの表面に形成された第3高濃度N型領域及び第3高濃度P型領域と、前記第2のPウエルの表面に形成された第2高濃度P型領域とを有し、前記第1高濃度N型領域及び第1高濃度P型領域は第1電源に接続され、前記第3高濃度N型領域及び前記第2高濃度P型領域は前記第1の電源とは異なる電位の第2の電源に接続され、前記第2高濃度N型領域と前記第3高濃度P型領域とはダイオードを介して接続されていることを特徴とする。

【0032】

この静電気放電保護素子において、例えば、前記第3高濃度N型領域は2分割されて前記第2高濃度P型領域と前記第3高濃度N型領域との対向方向に直交する方向に離れて配置されており、前記Nウエルが前記第3高濃度N型領域の分割領域間に延出しており、前記第2高濃度N型領域はこのNウエルの延出領域に配置されていると共に、前記第3高濃度P型領域は2分割されて前記第1高濃度P型領域と前記第3高濃度N型領域との対向領域の外側に配置されている。

【0033】

又は、前記Nウエルは前記第3高濃度P型領域の分割領域と前記第2高濃度N型領域との対向領域の背後まで延出している。

【0034】

本願第5発明に係る静電気放電保護素子は、P型基板又はP型層と、このP型基板又はP型層の表面に形成されたNウエルと、前記Nウエルの表面に形成された第1高濃度N型領域、第2高濃度N型領域及び第1高濃度P型領域と、前記P型基板又はP型層の表面に形成された第3高濃度N型領域、第2高濃度P型領域及び第3高濃度P型領域と、前記第1高濃度P型領域と前記第2高濃度N型領域との間に接続された第1抵抗素子と、前記第2高濃度P型領域と前記第3高濃度P型領域との間に接続された第2抵抗素子と、を有し、前記第1高濃度N型領域及び第1高濃度P型領域は第1電源に接続され、前記第3高濃度N型領域及び前記第2高濃度P型領域は前記第1の電源とは異なる電位の第2の電源に接続され、前記第2高濃度N型領域はトリガ電流供給用回路に接続されていることを特徴とする。

【0035】

また、前記第2高濃度N型領域と前記第3高濃度N型領域とは隣接していてもよく、前記第2高濃度N型領域の幅は、例えば、設計ルールで許容される範囲内でコンタクトを形成することができる最小の幅である。

【0036】

本願第6発明に係る静電気放電保護素子は、P型基板又はP型層と、このP型基板又はP型層の表面に相互に隣接して形成されたNウエル及びPウエルと、前記Nウエルの表面に形成された第1高濃度N型領域、第1高濃度P型領域及び第2高濃度P型領域と、前記Pウエルの表面に形成された第2高濃度N型領域及び第3高濃度P型領域とを有し、前記第1高濃度N型領域及び第1高濃度P型領域は第1電源に接続され、前記第2高濃度N型領域及び前記第3高濃度P型領域は前記第1の電源とは異なる電位の第2の電源に接続され、前記第2高濃度P型領域はトリガ電流供給用回路に接続されていることを特徴とする。

【0037】

この静電気放電保護素子において、例えば、前記第1高濃度N型領域及び前記第1高濃度P型領域は、夫々複数個に分割されて前記第1高濃度N型領域と前記第1高濃度P型領域との対向方向に直交する方向に離れて配置されており、各分割領域間に前記第2高濃度P型領域が延出している。また、前記第2高濃度P型領域は、前記分割領域間に延出して

いる部分は設計ルールで許容される範囲内でコンタクトを形成することができる最小の幅であり、前記分割領域間に延出している部分以外の部分は前記最小の幅未満であることが好ましい。

#### 【0038】

本願第7発明に係る静電気放電保護素子は、P型基板又はP型層と、このP型基板又はP型層の表面に相互に隣接して形成されたNウェル及びPウェルと、前記Nウェルの表面に形成された第1高濃度P型領域及び第1高濃度N型領域と、前記Pウェルの表面に形成された第2高濃度N型領域及び第2高濃度P型領域とを有し、第1高濃度P型領域は第1電源に接続され、前記第2高濃度N型領域及び前記第2高濃度P型領域は前記第1の電源とは異なる電位の第2の電源に接続され、前記第1高濃度N型領域はトリガ電流供給用回路に接続されていることを特徴とする。

#### 【0039】

この静電気放電保護素子において、例えば、前記第1高濃度P型領域は、夫々複数個に分割されて前記第2高濃度N型領域と前記第2高濃度P型領域との対向方向に直交する方向に離れて配置されており、各分割領域間に前記第1高濃度N型領域が延出している。このとき、前記第1高濃度P型領域は、前記分割領域間に延出している部分は設計ルールで許容される範囲内でコンタクトを形成することができる最小の幅であり、前記分割領域間に延出している部分以外の部分は前記最小の幅未満であることが好ましい。

#### 【0040】

また、前述の静電気放電保護素子においては、隣接する高濃度領域の間に、シリサイドが形成されていない領域、又はゲート電極を設けてもよい。これにより、隣接する高濃度領域を分離することができる。

#### 【発明の効果】

#### 【0041】

本発明によれば、サイリスタを構成するバイポーラトランジスタにおいて、横型NPNバイポーラ素子よりも性能が高い縦型PNPバイポーラ素子を、Nウェル中に電流を流すことにより導通させ、更に、それをトリガとして横型NPNバイポーラ素子を導通させてラッチ状態にするため、サイリスタを高速でターンオンすることができる。

#### 【発明を実施するための最良の形態】

#### 【0042】

以下、本発明の実施形態について添付の図面を参照して具体的に説明する。図1は本発明の第1実施形態に係る静電気放電保護素子の各領域のレイアウトを示す図であり、図2はトリガ方式を示す図であって各層の配置とトリガ電流供給回路を示す図であり、図3はこのトリガ電流供給回路の変形例を示す図である。本実施形態の静電気放電保護素子は、図22に示す従来例1と同様に、P<sup>+</sup>半導体基板1（図2及び3参照）の表面に、第2のPウェル20a（図2及び3参照）、素子分離絶縁膜、第1のNウェル21及び第1のPウェル20b（図2及び3参照）が形成されており、第1のNウェル21と第1のPウェル20bとは隣接している。

#### 【0043】

第2のPウェル20a内には、グランドコンタクトとなるラッチアップ防止用P<sup>+</sup>拡散層22が形成されており、第1のNウェル21内には、Nウェル電位固定用電極のN<sup>+</sup>拡散層23と、トリガ電流供給用のN<sup>+</sup>拡散層24と、サイリスタのアノードとなるP<sup>+</sup>拡散層25とが形成されている。更に、この第1のNウェル21と隣接する第1のPウェル20b内には、サイリスタのカソードとなるN<sup>+</sup>拡散層27と、NMOSトランジスタのソース28及びドレイン29が形成されている。ソース28及びドレイン29間の第1のPウェル20b上には、ゲート絶縁膜を介してゲート電極30が形成されている。これらのP<sup>+</sup>拡散層22と、N<sup>+</sup>拡散層23と、N<sup>+</sup>拡散層24と、P<sup>+</sup>拡散層25と、N<sup>+</sup>拡散層27との夫々の間は、素子分離絶縁膜により分離されている。

#### 【0044】

また、本実施形態においても、P<sup>+</sup>拡散層25と、第1のNウェル21と、P<sup>+</sup>半導体

基板 1 とにより、縦型 PNP バイポーラトランジスタが構成され、 $N^+$  拡散層 27 と、第 1 の P ウェル 20b と、第 1 の N ウェル 21 とにより、横型 NPN バイポーラトランジスタが構成される。

#### 【0045】

本発明においては、サイリスタを構成する縦型 PNP バイポーラトランジスタを導通させるために、(1) N ウェル 21 内に電流を発生させる経路を作ること、(2) N ウェル 21 内から、基板電流を供給するような経路を作ることの特徴としている。

#### 【0046】

そして、本実施形態においては、電源保護の場合に、N ウェル電位固定用電極 ( $N^+$  拡散層 23) とアノード ( $P^+$  拡散層 25) とは、N ウェル 21 内部か、又は外部電極で、共通の電位 (電源保護の場合であると、 $V_{dd}$ ) に接続されている。カソード ( $N^+$  拡散層 27) 及びラッチアップ防止用  $P^+$  拡散層 22 はグランド線  $V_{ss}$  に接続されている。

#### 【0047】

また、N ウェル 21 内に、トリガ電流供給用の  $N^+$  拡散層 24 が設けられている。その  $N^+$  拡散層 24 とグラウンド電極との間に、NMOS 電界効果トランジスタ 40 (図 2) 又は直列ダイオード 41 (図 3) 等のトリガ電流供給回路が挿入されている。

#### 【0048】

図 2 に示すトリガ電流供給回路は、電源  $V_{dd}$  と、グランド線  $V_{ss}$  との間に、トランジスタ 33 と抵抗 32 とが直列に接続されており、このトランジスタ 33 と抵抗 32 との間の接続点に NMOS トランジスタ 40 のゲートが接続されている。この NMOS トランジスタ 40 のドレインはトリガ電流供給用  $N^+$  拡散層 24 に接続されており、ソースはグランド線  $V_{ss}$  に接続されている。

#### 【0049】

図 3 に示すトリガ電流供給回路は、トリガ電流供給用の  $N^+$  拡散層 24 とグランド線  $V_{ss}$  との間に、複数個の直列接続されたダイオード 41 が接続されている。これらのトリガ電流供給回路は、電圧が印加された場合に、その回路の抵抗値が低くなり、電流経路となる。

#### 【0050】

次に、上述のごとく構成された本実施形態の静電気放電保護素子の動作について説明する。サージ電流が流れた場合、まず、トリガ電流供給回路に電圧が加わり、その回路の抵抗値が低くなり、電流経路となる。つまり、電流は、電源  $V_{dd}$  に接続された N ウェル電位固定用電極 ( $N^+$  拡散層 23) から、トリガ電流供給用  $N^+$  拡散層 24 を経由して、グランド線に流れて行く。その過程で、N ウェル 21 内では、N ウェル抵抗と、電流との積  $IR$  だけ、電位差が生じることになる。従って、 $P^+$  拡散層 25 (アノード) の底面近傍の電位は、流れる電流量に応じて、基準電位 (電源電位) よりも低くなり、 $P^+$  拡散層 25 と N ウェル 21 とで形成される  $P^+$  N ダイオードを、順バイアスするようになる。そこで、この領域の縦形 PNP 寄生バイポーラトランジスタがオンし始めて、基板方向に電流が分配される。

#### 【0051】

基板電位の上昇は、横形 NPN バイポーラトランジスタでのベース電位の上昇を意味するので、横形 NPN バイポーラトランジスタもオンするようになる。

#### 【0052】

そうすると、再び、発生した電子電流が N ウェル 21 に供給されて、縦型バイポーラの導通を促進させて、正のフィードバックがかかり、高速で低抵抗の電流経路が、アノード-カソード間に形成される。

#### 【0053】

通常、サイリスタにおいては、そのターンオンする速度は、アノード-カソード間の距離が短いほうが速いとされているので、図 1 に示すように、トリガ電流供給用の  $N^+$  拡散層 24 の形成位置は、アノード ( $P^+$  拡散層 25) に関してカソード ( $N^+$  拡散層 27) とは逆側に設け、アノード ( $P^+$  拡散層 25) とカソード ( $N^+$  拡散層 27) とを、近接



して配置する。

【0054】

本実施形態では、 $N^+$  拡散層 24 により、直接、 $N$  ウエル 21 に電流を供給するので、高速に  $N$  ウエル 21 中に電流を流すことができ、高速にターンオンすることができる。

【0055】

従来例では、 $V_{dd}$  に接続された電源保護がターンオンして電流を流すことにより、縦型  $PNP$  バイポーラが導通する。これは、 $PN$  ダイオードの抵抗値又は配線抵抗の電圧降下で、電源保護に印加される電圧が低く、電源保護がオンする際には、保護素子には実際には高い電圧が印加されてしまっている場合が多い。その他に、 $PN$  ダイオードの順方向の電流なので、動作速度は遅く、低抵抗になる（ターンオンする）までに時間がかかり、素子間電圧が高くなってしまうことも考えられる。これに対し、本発明は上述のごとく、直接  $N$  ウエル 21 に電流を供給するので、高速にターンオンすることができる。

【0056】

次に、本発明の第 2 実施形態に係る静電気放電保護素子について図 4 及び図 5 を参照して説明する。本実施形態においては、 $N$  ウエル 21 内にトリガ電流供給用  $N^+$  拡散層 24 を、隣接する  $P$  ウエル 20b 内のサイリスタのカソードとなる  $N^+$  拡散層 27 に近接して配置し、 $N$  ウエル 21 内のサイリスタのアノードとなる  $P^+$  拡散層 25 を  $N$  ウエル電位固定用電極の  $N^+$  拡散層 23 とトリガ電流供給用  $N^+$  拡散層 24 との間に配置している。従って、トリガ電流供給用  $N^+$  拡散層 24 が、アノードーカソード間の  $N$  ウエル 21 内に設けられている。この場合も、 $N$  ウエル 21 とカソードとの間は最短距離としている。 $N$  ウエルーアノード間隔は 1 乃至  $2\mu m$  となるが、サイリスタの動作においては、横形バイポーラトランジスタのベース幅が主にターンオンするまでの速度を決めているから、アノードー $N$  ウエル間隔がこの程度離れても、ターンオンするまでの速度に大きな影響が無い場合が多い。

【0057】

但し、静電気放電保護素子における  $P^+$  ガードリングである  $P^+$  拡散層 24 又はサイリスタのローカルグラウンド（サイリスタのカソード脇に設けたグラウンド）の配置は、製造プロセスにより異なる。例えば、図 1 に示す第 1 実施形態及び図 24 に示す従来例 2 の静電気放電保護素子は、低抵抗基板を使用することを前提に配置されているものである。このため、サイリスタの底面となるシリコン基板の抵抗は極めて小さく、サイリスタの電位は  $P^+$  ガードリング及びローカルグラウンドの配置には影響しない。図 6 (a) は図 1 に示す第 1 実施形態の第 1 変形例の静電気放電保護素子のレイアウトを示す平面図であり、図 6 (b) は第 2 変形例の静電気放電保護素子のレイアウトを示す平面図である。また、図 7 (a) は図 4 に示す第 2 実施形態の第 1 変形例の静電気放電保護素子のレイアウトを示す平面図であり、図 7 (b) は第 2 変形例の静電気放電保護素子のレイアウトを示す平面図である。図 6 (a) 及び図 7 (a) に示す第 1 変形例の静電気放電保護素子においては、高抵抗基板を使用し、サイリスタ周辺の電位をローカルグラウンドで決まるようにしている。また、図 6 (b) 及び図 7 (b) に示す第 2 変形例の静電気放電保護素子は、アノード及びカソードを対象に配置しているものである。なお、本変形例におけるトリガ供給用  $N^+$  拡散層 24 及び  $N$  ウエル電位固定用電極の  $N^+$  拡散層 23 の位置は、逆でもよい。

【0058】

本発明者等の追試によると、図 25 に示す従来例 2 の静電気放電保護素子は、トリガの場所をサイリスタのカソード近傍にすることにより、そのトリガを効率的に行えるという結果を得ている。これは、 $P$  ウエルが形成されている領域が広いと、電流がその経路全体に広がってしまっていて、抵抗が上昇しにくい構造となっているからである。一方、本発明においては、 $N$  ウエルにトリガ電極を設ける構造としているため、 $N$  ウエルが形成されている領域が狭い範囲に限られているために、電流密度が高くなり、電位降下を効率的に行うことができる。例えば、図 6 (b) 及び図 7 (b) に示す第 2 変形例の構造の場合、その効果が高い。なお、上述の理由から、本発明におけるトリガ拡散層の配置は、これらに

限定されるものではなく、比較的任意に配置することができ、他の実施形態においても、拡散層の配置は、前述の実施形態及びその変形例の静電気放電保護素子と同様に、そのプロセスにより設計して適正化することができるため、保持電圧制御型の静電気放電素子にも適用することができる。

#### 【0059】

図1乃至図3に示す第1実施形態の場合は、トリガ電流（Nウェル電位固定用電極のN<sup>+</sup>拡散層23から供給された電流）は、P<sup>+</sup>拡散層25側は通過せずに、トリガ電流供給用のN<sup>+</sup>拡散層24に流れるので、P<sup>+</sup>拡散層25の底面の電位を低くする効果は、限られてしまう（他の実施形態と比較して）が、図4及び図5に示す第2実施形態では、P<sup>+</sup>拡散層25の下側を電流が流れることで、効果的に、P<sup>+</sup>拡散層底面と、V<sub>dd</sub>間の電位差を生じさせることができる。このため、より高速にサイリスタ素子をターンオンさせることができる。この場合に、N<sup>+</sup>拡散層24は、サージ電流が流れる経路に配置されているので、温度上昇による影響で、熱的な破壊が起きる場合がある。しかし、これはメタル配線又はコンタクトの配置等の工夫で回避できるし、実際には、保護素子自身の破壊が生じる前に、被保護素子が高電圧になって破壊する場合が多いので、サイリスタの動作の高速性を測る方が有利であるとの観点から、有効な方式である。

#### 【0060】

次に、本発明の第3実施形態に係る静電気放電保護素子について、図8を参照して説明する。本実施形態においては、Nウェル21内に、Pウェル20a内のP<sup>+</sup>拡散層22と、Pウェル20b内のN<sup>+</sup>拡散層27との対向方向に直交する方向に、Nウェル電位固定用電極のN<sup>+</sup>拡散層23とトリガ電流供給用のN<sup>+</sup>拡散層24とが交互に並んで配置されている。そして、これらのN<sup>+</sup>拡散層23とN<sup>+</sup>拡散層24との間に入り込むようにして、楕形の1個のP<sup>+</sup>拡散層25（アノード）が配置されている。

#### 【0061】

このように構成された本実施形態の静電気放電保護素子においては、アノード（P<sup>+</sup>拡散層25）とカソード（N<sup>+</sup>拡散層27）との間の距離を最短距離にできると共に、トリガ電流はP<sup>+</sup>拡散層25の下側を通過するので電位差がつきやすいようになる。また、Nウェル電位固定用電極のN<sup>+</sup>拡散層23と、トリガ電流供給用N<sup>+</sup>拡散層24との間の抵抗値を低くできるので、トリガ電流量を高くでき、また、これらの拡散層を交互に配置することで、電流をP<sup>+</sup>拡散層25の底面に流すことができるので、高速にサイリスタ素子を、ターンオンさせることができる。

#### 【0062】

次に、図9を参照して本発明の第4実施形態に係る静電気放電保護素子について説明する。本実施形態は、図8に示す第3実施形態と同様のレイアウトを有するが、Nウェル電位固定用電極となる1対のN<sup>+</sup>拡散層23a、23bを、Nウェル21内の両端部（P<sup>+</sup>拡散層22とN<sup>+</sup>拡散層27との対向方向に直交する方向の両端部）に配置し、トリガ電流供給用N<sup>+</sup>拡散層24をN<sup>+</sup>拡散層23a、23b間の中央に配置する点が第3実施形態と異なる。

#### 【0063】

本第4実施形態においては、電流が1対のN<sup>+</sup>拡散層23a、23bからNウェル21の中央部分に流れ込んでくると、Nウェル21の中央部では両端部との間の電位差が大きくなっており、PNP縦型バイポーラが導通することにより、サイリスタにトリガがかかる。

#### 【0064】

次に、本発明の第5実施形態について図10を参照して説明する。本実施形態においては、カソードとして、2つに分割したN<sup>+</sup>拡散層27a、27bを形成し、これらのN<sup>+</sup>拡散層27a、27b間に、Nウェル21を延出させて配置する。そして、このNウェル21の延出部にトリガ電流供給用のN<sup>+</sup>拡散層24を配置する。本実施形態も上記各実施形態と同様の作用効果を奏すると共に、トリガ電流はP<sup>+</sup>拡散層25の下を流れる。

#### 【0065】



次に、図 11 を参照して本発明の第 6 実施形態について説明する。本実施形態においては、N ウェル電位固定用電極を 2 つの  $N^+$  拡散層 23 a、23 b に分割し、この  $N^+$  拡散層 23 a、23 b 間を含む N ウェル 21 内にアノードの  $P^+$  拡散層 25 を配置した点が、図 8 に示す第 5 実施形態と異なる。本実施形態も上記各実施形態と同様の作用効果を奏する。

#### 【0066】

次に、図 12 を参照して本発明の第 7 実施形態について説明する。本実施形態の静電気放電保護素子は、N ウェル 21 内の  $P^+$  拡散層 22 と  $N^+$  拡散層 27 との対向方向に直交する方向の両端部に、1 対の  $N^+$  拡散層 23 a、23 b を N ウェル電位固定用電極として配置し、これらの  $N^+$  拡散層 23 a、23 b 間に、アノードの  $P^+$  拡散層 25 を、その長手方向の中央部のカソード  $N^+$  拡散層 27 寄りの部分を切り欠いた形状で形成し、この切り欠き部に、トリガ電流供給用の  $N^+$  拡散層 24 を配置したものである。

#### 【0067】

本実施形態においては、トリガ電流は矢印にて示す方向に流れて、電流抵抗積 (IR) が N ウェル電位固定用電極の  $N^+$  拡散層 23 a、23 b の下面の PN 接合を順方向にバイアスするので、N ウェル中の縦型バイポーラトランジスタの N ウェル 21 に近い領域が、最初にオンして、基板方向に電流を流すようになる。前述のごとく、サイリスタの動作をオンするには、横型バイポーラトランジスタのベース (サイリスタのアノード-カソード間) に近い領域の電位を高くすることが効率的である。本実施形態は、この点で好ましい。

#### 【0068】

図 13 は本発明の第 8 実施形態に係る静電気放電保護素子を示す図、図 14 はトリガ方式を示す図であって各層の配置とトリガ電流供給回路を示す図である。本実施形態においては、第 2 の P ウェル 20 a 内にグランドコンタクトとなるラッチアップ防止用の  $P^+$  拡散層 22 が形成され、N ウェル 21 内に、N ウェル電位固定用電極となる  $N^+$  拡散層 23 と、トリガ電流供給用の  $N^+$  拡散層 24 と、アノードとなる  $P^+$  拡散層 25 とが、 $P^+$  拡散層 22 側からこの順に形成され、第 1 の P ウェル 20 b 内のアノード ( $P^+$  拡散層 25) 側に、カソードとなる  $N^+$  拡散層 27 が形成され、更にトリガ電流供給用の  $P^+$  拡散層 26 が形成されたものである。

#### 【0069】

そして、N ウェル 21 内の  $N^+$  拡散層 24 と、第 1 の P ウェル 20 b 内の  $P^+$  拡散層 26 との間に、トリガ電流供給回路の直列ダイオード 41 が接続されている。また、グランドコンタクトの  $P^+$  拡散層 22 と、カソードの  $N^+$  拡散層 27 とが、グランド線  $V_{ss}$  に共通接続され、N ウェル電位固定用電極の  $N^+$  拡散層 23 と、アノードの  $P^+$  拡散層 25 とが、電源  $V_{dd}$  に共通接続されている。

#### 【0070】

本実施形態においては、トリガ電流供給用回路 (直列ダイオード 41) を、N ウェル 21 と P ウェル 20 b とを接続するように配置して、両ウェル間で電流を流すようにしている。基板 1 が低抵抗基板 (基板の抵抗が極めて低く、その上に成長したエピタキシャル膜厚が、薄く、基板の抵抗率が極めて低い基板) では、カソード ( $N^+$  拡散層 27) のすぐわきにトリガ電流供給用の  $P^+$  拡散層 26 を配置すると、基板に直接電流を供給する経路のほかに、その PN ダイオードが順バイアスされて、ダイオード 41 が導通して、電子電流が放出されることで、その電子電流が N ウェル 21 に吸収される。

#### 【0071】

図 15 は本発明の第 9 実施形態に係る静電気放電保護素子を示す図である。図 15 において、図 10 と異なる点は、トリガ電流供給用の  $P^+$  拡散層 26 a、26 b を、サイリスタを構成する  $P^+$  拡散層 25 (アノード) と、 $N^+$  拡散層 27 a、27 b (カソード) との横側 (アノードとカソードとが対向する領域から外れた位置) に配置してもよい。

#### 【0072】

これにより、図中矢印にて示すように、N ウェル 21 内を流れる電流経路が形成される

。また、 $P^+$  拡散層 26 a、26 b から、 $N^+$  拡散層 24 に流れる電流がサイリスタ内を流れるようになる。

【0073】

図 16 は本発明の第 10 実施形態に係る静電気放電保護素子を示す図である。本実施形態が、図 15 に示す実施形態と異なる点は、 $N$  ウエル 21 の一部 21 a、21 b がトリガ電流供給用の  $P^+$  拡散層 26 a、26 b から  $N^+$  拡散層 24 に向う電流経路の背後に位置していることである。

【0074】

これにより、 $P^+$  拡散層 26 a、26 b から  $N^+$  拡散層 24 に向う基板電流が、 $N$  ウエル 21 の一部 21 a、21 b によりブロックされ、基板電流は  $N^+$  拡散層 24 に向かう方向に流れやすくなる。これにより、 $N$  ウエル 21 からの電流を基板に流す電流パスを形成する際に、 $P^+$  拡散層 26 a、26 b から、基板方向への電流が、サイリスタ内部に広がっていくようになる。

【0075】

次に、図 17 を参照して、本発明の第 11 実施形態に係る静電気放電保護素子について説明する。 $P^+$  半導体基板 1 の表面に  $N$  ウエル 21 が形成されており、この  $N$  ウエル 21 の表面に  $N$  ウエル電位固定用電極の  $N^+$  拡散層 23 と、アノードの  $P^+$  拡散層 25 と、トリガ電流供給用の  $N^+$  拡散層 24 とが形成されている。また、 $P^+$  半導体基板 1 の表面にカソードの  $N^+$  拡散層 27 と、トリガ電流供給用の  $P^+$  拡散層 26 と、ラッチアップ防止用グランドコンタクトの  $P^+$  拡散層 22 とが形成されている。そして、 $N$  ウエル電位固定用電極の  $N^+$  拡散層 23 及びアノードの  $P^+$  拡散層 25 にはパッド 51 が接続されており、トリガ電流供給用の  $N^+$  拡散層 24 には、トリガ電流供給回路（図 2 の  $NMOS$  トランジスタ 40 又は図 3 の直列ダイオード 41 等）が接続されており、この  $N^+$  拡散層 24 と、 $N^+$  拡散層 23 及び  $P^+$  拡散層 25 とが抵抗素子 52 を接続されている。また、ラッチアップ防止用グランドコンタクトの  $P^+$  拡散層 22 とカソードの  $N^+$  拡散層 27 が接地に接続されており、トリガ電流供給用の  $P^+$  拡散層 26 は抵抗素子 53 を介して接地に接続されている。

【0076】

上述の如く構成された本実施形態においては、サイリスタ動作時にトリガ電流をトリガ電流供給回路から供給して、縦型バイポーラを動作させるので、トリガ電圧は、特許文献 6 に記載されている従来技術に比べて、著しく低くすることができる。また、抵抗素子 52 及び 53 として、予め多数の抵抗素子を配置しておき、上層配線を使用してこれらの抵抗素子を選択して接続することにより所望の抵抗値となるようにすることができ、サイリスタ特性を最終的に調整できるので、プロセス変更に際して、サイリスタの特性の合わせこみが容易になるという利点もある。図 17 では抵抗素子 52 及び 53 を使用しているが、この他にも、 $P^+$  タップとしての  $P^+$  拡散層 26 の面積、又はグランドに接続されている  $P^+$  ガードリングとしての  $P^+$  拡散層 22 からの距離等で、抵抗値を調節するようにしてもよい。

【0077】

また、（ $N$  ウエル）電位調整用拡散層を兼ねるトリガ電流供給用  $N^+$  拡散層 24 を、アノードの  $P^+$  拡散層 25 と  $N$  ウエル 21 との間に配置すると、保持電流を高くしたい場合には、外部抵抗を  $N$  ウエル抵抗より低い値にする必要がある。本実施形態の静電気放電保護素子においては、トリガ電流と外部抵抗値との積が 0.7 V 程度になったときに、アノードとトリガ電極との間の  $PN$  ダイオードが導通してホール電流を供給し始める。図 17 に示すように、本実施形態の静電気放電保護素子においては、カソードの  $N^+$  拡散層 27 とホール電流を供給する位置とが近いので、ごく短時間でサイリスタをラッチ状態にすることができる。更に、本実施形態の静電気放電保護素子は、図 26 に示す特許文献 7 に記載の静電気放電保護素子のレイアウトと比べると明らかなように、アノードの周囲の大部分が（ $N$  ウエル）電位調整用拡散層を兼ねるトリガ電流供給用  $N^+$  拡散層 24 に囲まれているので、電位の制御性も非常に良好になる。

## 【0078】

なお、拡散層間の素子分離は、通常、図24に示すようにLOCOS (Local Oxidation of Silicon) 法又はSTI法等が適用されているが、例えば、図18(a)に示すようにカソード拡散層上にシリサイドが形成されない領域を設ける方法、及び図18(b)に示すようにゲート電極を設け、このゲート電極の両側に $N^+$  拡散層形成用不純物と $P^+$  拡散層形成用不純物とを注入する方法もある。これらの方式では、電流経路が基板奥深くに潜り込まないため、抵抗値を低くすることができる。

## 【0079】

次に、本発明の第12実施形態に係る静電気放電保護素子について説明する。図19は本実施形態の静電気放電保護素子のレイアウトを示す平面図である。本実施形態の静電気放電保護素子は、図13に示す第8実施形態の静電気放電保護素子からNウエル電気制御用電極23を除いたものであり、それ以外は前述の第8実施形態と同様である。なお、 $P^+$  拡散層31は、外部抵抗と接続することによりPウエル電位制御用電極となり、外部配線により直接アノード又はカソードと接続することにより、Pウエル電位固定電極となる。このような配置にすることにより、Nウエル側の抵抗値を低くしにくくなるため、保持電流を高く設定することができないが、前述の第8実施形態の静電気保護素子に比べて面積を低減することができる。

## 【0080】

次に、本発明の第13の静電気保護素子について説明する。図20(a)は本実施形態の静電気放電保護素子のレイアウトを示す平面図であり、図20(b)はその第1の変形例の静電気保護素子のレイアウトを示す平面図である。前述の実施形態の静電気放電素子におけるサイリスタにおいては、トリガ電流供給用 $N^+$  拡散層24とトリガ素子とを接続するために、拡散層上にコンタクト35を形成しなければならない。本発明者等が検討したプロセスにおいては、アノードである $P^+$  拡散層25とNウエル21のエッジとの距離は、最小になるように設計した場合でも、0.9乃至1.0  $\mu m$ 程度必要であり、上述の実施形態においてはこの値を適用している。また、本発明者等が検討したプロセスにおいては、アノードとNウエルエッジとの間隔及びカソードとNウエルエッジとの間隔が0.2乃至0.3  $\mu m$ であり、3倍程度広げる必要がある。一般に、サイリスタのダイナミック抵抗は、アノードーカソード間の抵抗なので、アノードーカソード間隔を広くすると抵抗が高くなり、破壊電流が低くなる。このため、サイリスタの特性は、基本的にはアノードーNウエル間の距離よりもカソードーNウエル間距離に依存する。更に、サイリスタの特性は、Nウエル又はPウエルの濃度分布及び素子の形状等にも影響を受けるので、その劣化の程度が問題となる値かどうかは一概にはいえない。従って、最悪の場合を想定して、アノードーNウエルエッジ間距離が最小になるようにサイリスタを設計する必要がある。

## 【0081】

しかしながら、例えば、特許文献7等に記載されている従来の静電気放電保護素子においては、これらの点は検討されていない。実際には、このような構造のサイリスタにおいては、その性能を最大にするために、アノードーNウエルエッジ間距離が最小値になるように設計しないと、素子の特性が大きくばらつく。そこで、本実施形態の静電気保護素子においては、図20(a)に示すように、アノードーNウエルエッジ間距離36が最小になるように、アノードの横側にコンタクト形成用の $N^+$  拡散層32を形成し、このコンタクト形成用 $N^+$  拡散層32で電位を接続する構造とする。これにより、アノードーNウエルエッジ間隔を0.7  $\mu m$ にまで低減することができる。その結果、破壊電流を20%程度高くすることができ、更に、ダイナミック抵抗も低くすることができる。なお、図20(b)に示すように、Nウエル21中に拡散層抵抗を形成し、メタル配線の接続を変えることにより、保持電流を調節できるようにしてもよい。

## 【0082】

次に、本発明の第14実施形態に係る静電気放電保護素子について説明する。図21は本実施形態の静電気放電保護素子のレイアウトを示す平面図である。本実施形態の静電気

放電保護素子は、図 21 に示すように、前述の第 13 実施形態の静電気放電保護素子の N ウェル電位固定電極を除いたものであり、それ以外は第 13 実施形態の静電気放電保護素子と同様であり、その効果も同様である。これにより、面積を低減することができる。

【0083】

次に、本発明の第 15 実施形態に係る静電気放電保護素子について説明する。図 22 は本実施形態の静電気放電保護素子のレイアウトを示す平面図である。図 22 に示すように、本実施形態の静電気放電保護素子は、前述の第 13 実施形態の静電気放電保護素子の N ウェル電位固定用電極のコンタクト形成領域を、分割したカソード間に配置したものである。本実施形態においては、カソード近傍にも、保持電流制御用電極であるトリガ電極を設けているため、カソードから放出した電子電流を効率的に比較できる。これにより、保持電流の制御性を向上させることができる。

【図面の簡単な説明】

【0084】

【図 1】 本発明の第 1 実施形態の静電気放電保護素子のレイアウトを示す図である。

【図 2】 本発明の第 1 実施形態の静電気放電保護素子における各層の配置とトリガ電流供給回路の等価回路を示す図である。

【図 3】 本発明の第 1 実施形態の静電気放電保護素子におけるトリガ電流供給回路の変形例を示す図である。

【図 4】 本発明の第 2 実施形態に係る静電気放電保護素子のレイアウトを示す図である。

【図 5】 同じくその各層の配置とトリガ電流供給回路の等価回路を示す図である。

【図 6】 (a) は本発明の第 1 実施形態の第 1 変形例の静電気放電保護素子のレイアウトを示す図であり、(b) は第 2 変形例の静電気保護素子のレイアウトを示す図である。

【図 7】 (a) は本発明の第 2 実施形態の第 1 変形例の静電気放電保護素子のレイアウトを示す図であり、(b) は第 2 変形例の静電気保護素子のレイアウトを示す図である。

【図 8】 本発明の第 3 実施形態に係る静電気放電保護素子のレイアウトを示す図である。

【図 9】 本発明の第 4 実施形態に係る静電気放電保護素子のレイアウトを示す図である。

【図 10】 本発明の第 5 実施形態に係る静電気放電保護素子のレイアウトを示す図である。

【図 11】 本発明の第 6 実施形態に係る静電気放電保護素子のレイアウトを示す図である。

【図 12】 本発明の第 7 実施形態に係る静電気放電保護素子のレイアウトを示す図である。

【図 13】 本発明の第 8 実施形態に係る静電気放電保護素子のレイアウトを示す図である。

【図 14】 同じくその各層の配置と接続態様を示す図である。

【図 15】 本発明の第 9 実施形態に係る静電気放電保護素子のレイアウトを示す図である。

【図 16】 本発明の第 10 実施形態に係る静電気放電保護素子のレイアウトを示す図である。

【図 17】 本発明の第 11 実施形態に係る静電気放電保護素子の断面図である。

【図 18】 (a) はカソードー拡散層上にシリサイドが形成されない領域を設けて素子を分離する方法を示す断面図であり、(b) はゲート電極を挟んで N<sup>+</sup> 拡散層形成用不純物と P<sup>+</sup> 拡散層形成用不純物とを夫々注入して素子を分離する方法を示す断面図である。

【図 19】 本発明の第 12 実施形態の静電気放電保護素子のレイアウトを示す平面図

である。

【図 20】 (a) は本発明の第 13 実施形態の静電気放電保護素子のレイアウトを示す平面図であり、(b) はその第 1 の変形例の静電気放電保護素子のレイアウトを示す平面図である。

【図 21】 本発明の第 14 実施形態の静電気放電保護素子のレイアウトを示す平面図である。

【図 22】 本発明の第 15 実施形態の静電気放電保護素子のレイアウトを示す平面図である。

【図 23】 従来例 1 の静電気放電保護素子のレイアウトを示す平面図である。

【図 24】 図 23 に示す A-A 線による断面図である。

【図 25】 従来例 2 の静電気放電保護素子のレイアウトを示す平面図である。

【図 26】 図 25 に示す B-B 線による断面図である。

【図 27】 特許文献 7 に記載の静電気保護素子のレイアウトを示す図である。

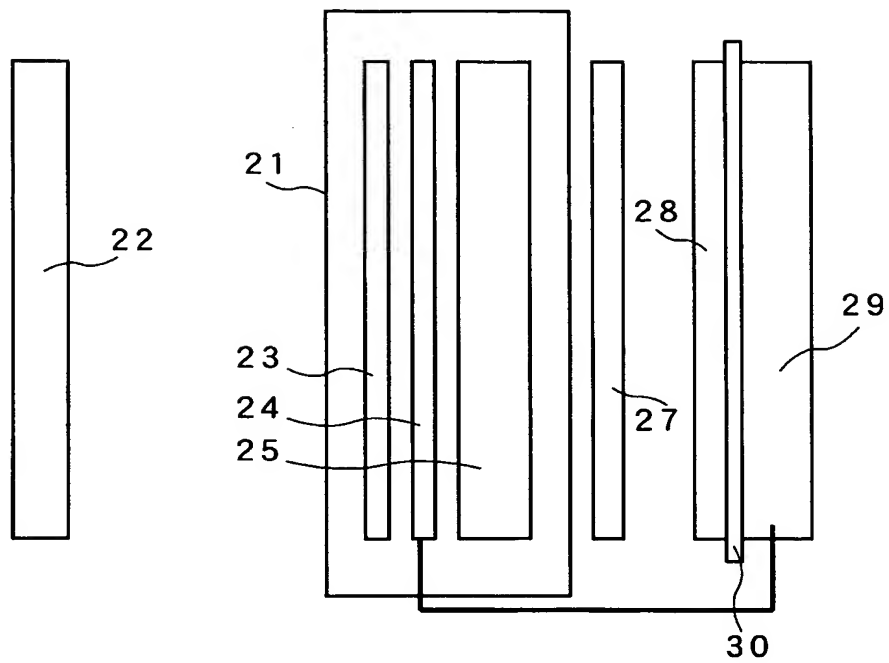
【図 28】 (a) は図 27 に示す C-C 線による断面図であり、(b) は図 27 に示す D-D 線による断面図である。

【符号の説明】

【0085】

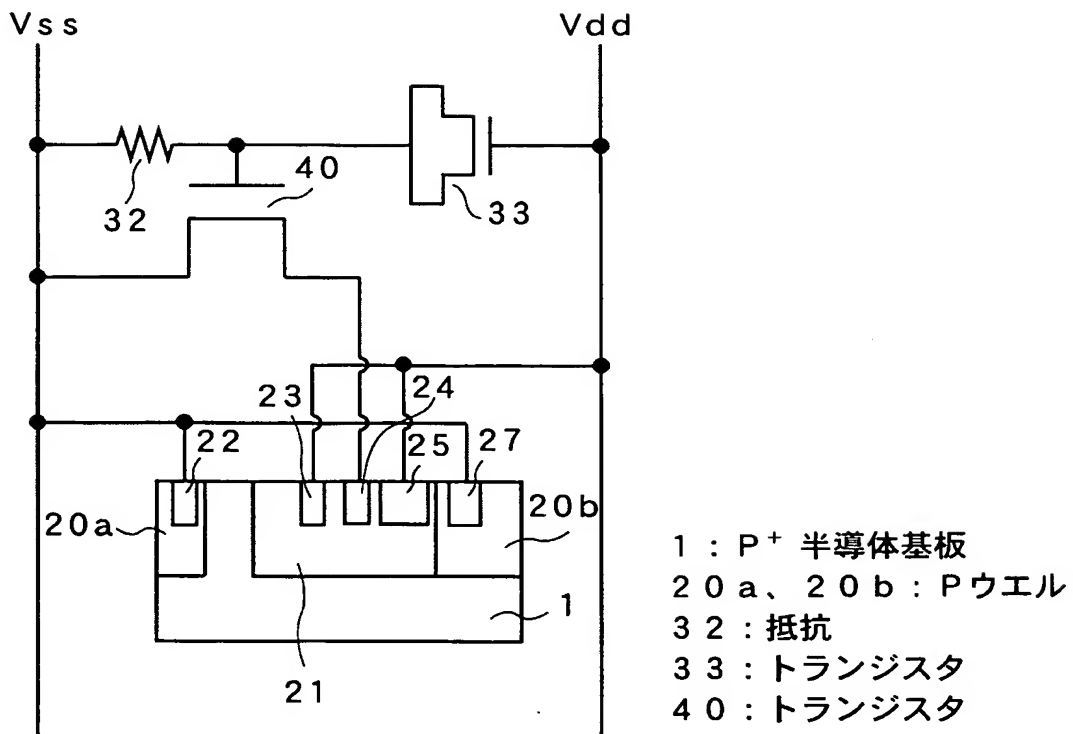
- 1: P<sup>+</sup> 半導体基板
- 2、21、21a、21b、62: N ウエル
- 3、3a、3b、20a、20b: P ウエル
- 4、7、10: P<sup>+</sup> 拡散層
- 5、9: N<sup>+</sup> 拡散層
- 11: 横型 NPN バイポーラ素子
- 12: 縦型 PNP バイポーラ素子
- 22: P<sup>+</sup> 拡散層 (ラッチアップ防止用グランドコンタクト)
- 23、23a、23b: N<sup>+</sup> 拡散層 (N ウエル電位固定用電極)
- 24: N<sup>+</sup> 拡散層 (トリガ電流供給用)
- 25、64: P<sup>+</sup> 拡散層 (アノード)
- 26、26a、26b: P<sup>+</sup> 拡散層 (トリガ電流供給用)
- 27、27a、27b、65: N<sup>+</sup> 拡散層 (カソード)
- 28: ソース
- 29: ドレイン
- 8、30、68: ゲート電極
- 31: P<sup>+</sup> 拡散層 (P ウエル電位固定用電極)
- 32、63: N<sup>+</sup> 拡散層 (コンタクト形成用)
- 33、40: NMOS トランジスタ
- 35: コンタクト
- 36: アノード-N ウエルエッジ間距離
- 37: トリガ拡散層幅
- 38: メタル
- 41: 直列ダイオード
- 51: パッド
- 52、53: 抵抗素子
- 60: シリサイド
- 61: シリサイド未形成領域
- 66: P<sup>+</sup> 拡散層 (基板コンタクト)
- 67: STI (浅溝埋め込み分離)

【書類名】 図面  
【図 1】

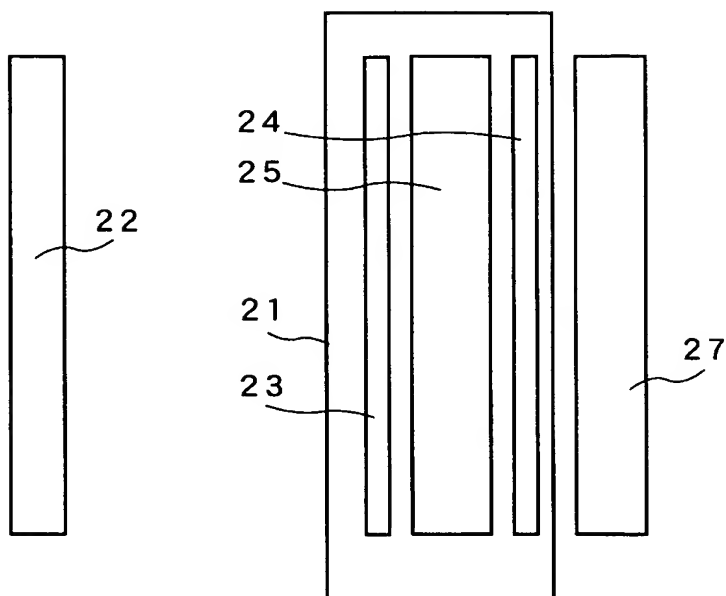


- 21 : N ウエル
- 22 : P<sup>+</sup> 拡散層
- 23 : N<sup>+</sup> 拡散層
- 24 : N<sup>+</sup> 拡散層
- 25 : P<sup>+</sup> 拡散層
- 27 : N<sup>+</sup> 拡散層
- 28 : ソース
- 29 : ドレイン
- 30 : ゲート電極

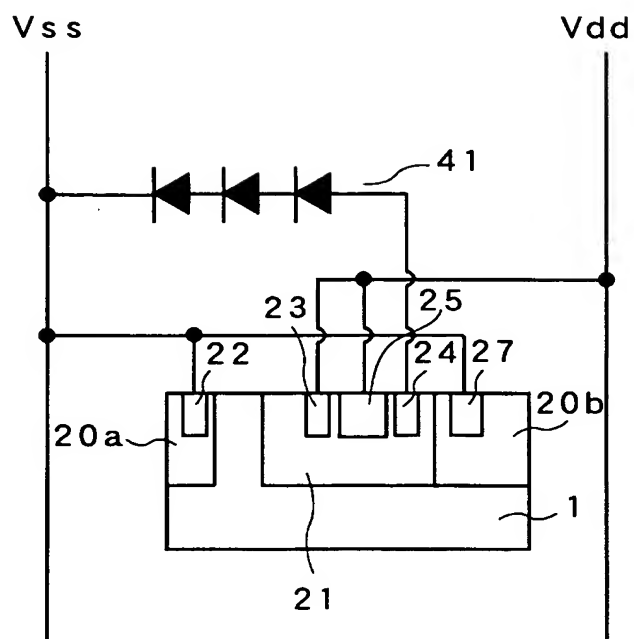
【図 2】



【図 4】

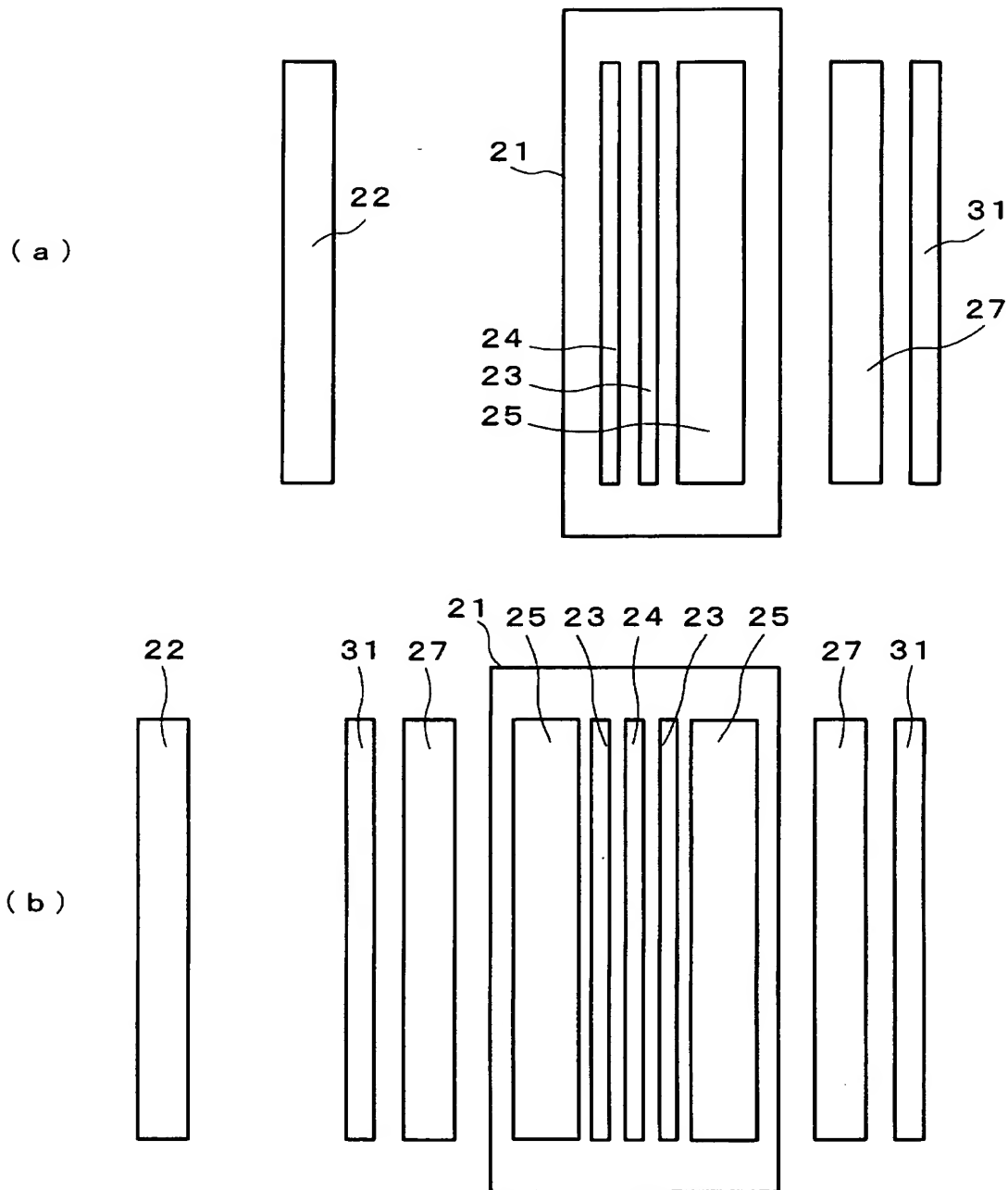


【図 5】





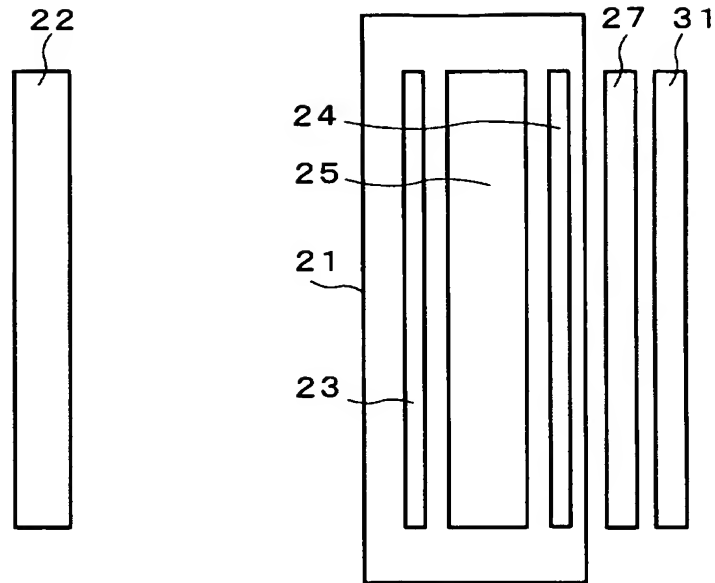
【図 6】



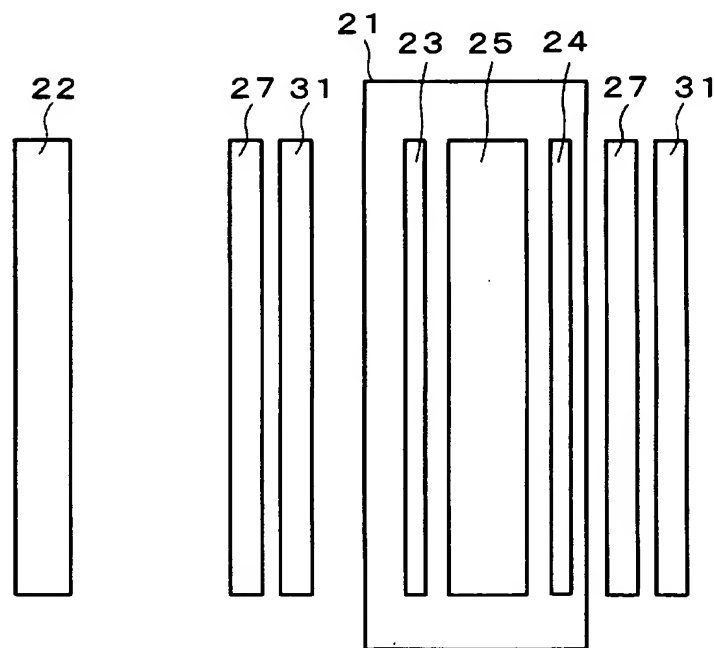
- 21 : Nウエル  
 22 : P<sup>+</sup>拡散層 (ラッチアップ防止用グランドコンタクト)  
 23 : N<sup>+</sup>拡散層 (Nウエル電位固定用電極)  
 24 : N<sup>+</sup>拡散層 (トリガ電流供給用)  
 25 : P<sup>+</sup>拡散層 (アノード)  
 27 : N<sup>+</sup> (カソード)  
 31 : P<sup>+</sup>拡散層 (Pウエル電位固定用電極)

【図 7】

( a )

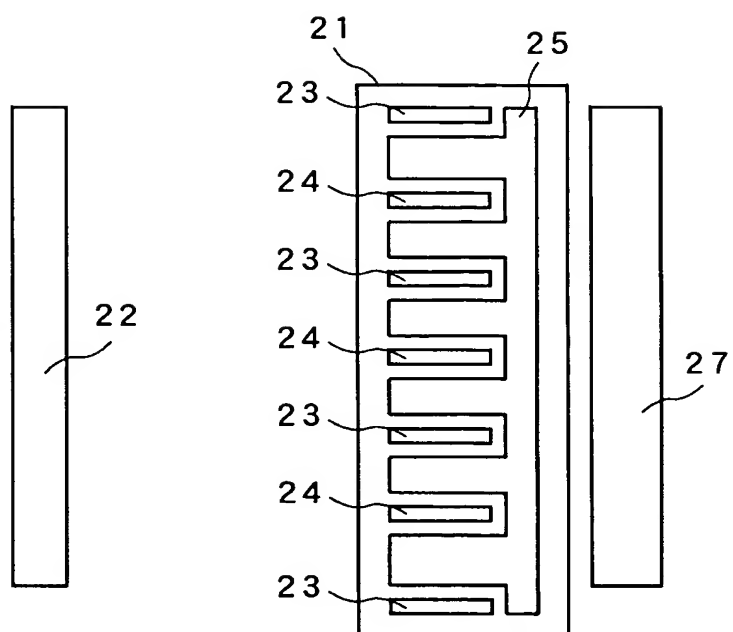


( b )

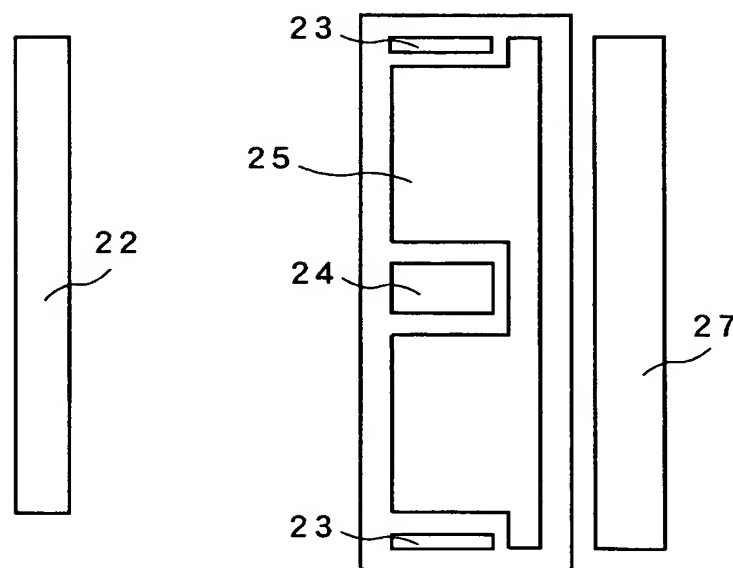


- 21 : Nウエル
- 22 : P+拡散層 (ラッチアップ防止用グランドコンタクト)
- 23 : N+拡散層 (Nウエル電位固定用電極)
- 24 : N+拡散層 (トリガ電流供給用)
- 25 : P+拡散層 (アノード)
- 27 : N+ (カソード)
- 31 : P+拡散層 (Pウエル電位固定用電極)

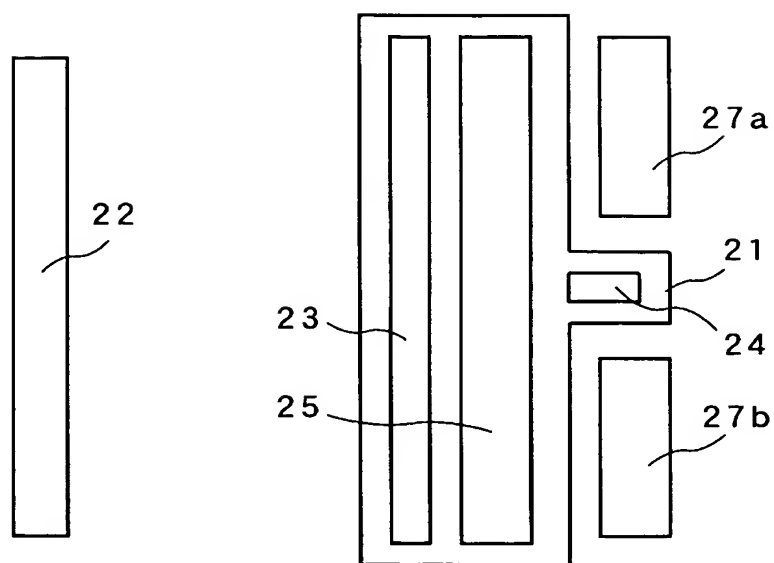
【図 8】



【図 9】

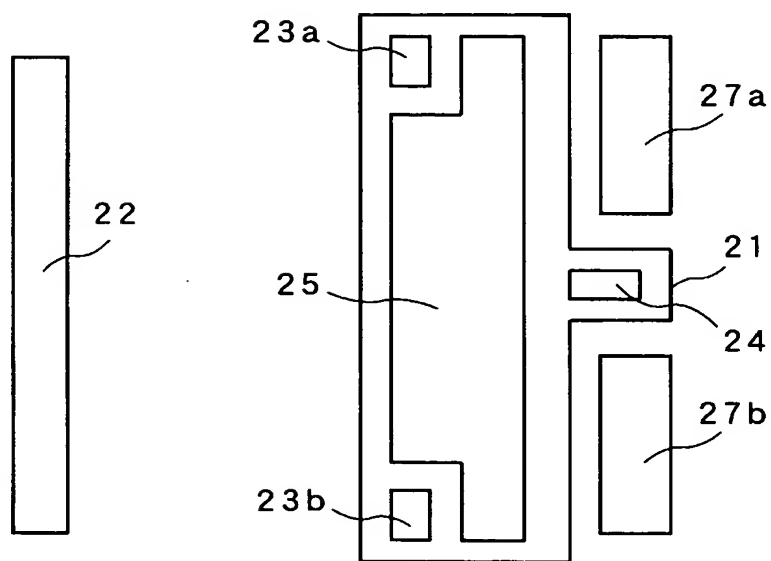


【図 10】



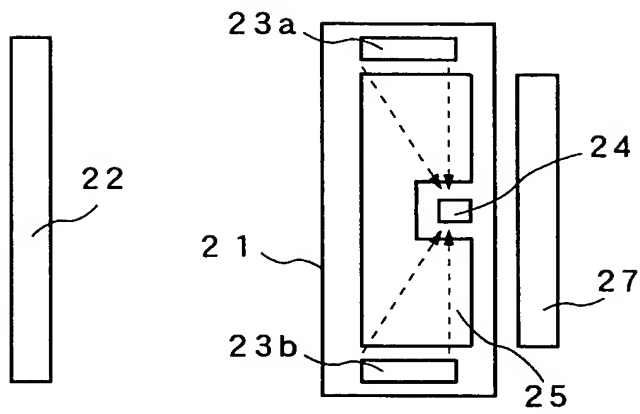
27a、27b :  $N^+$  拡散層

【図 11】

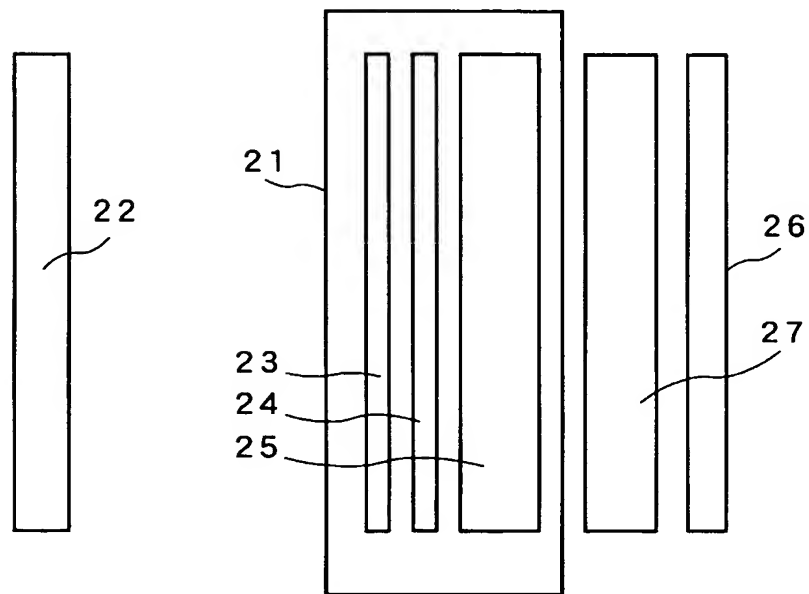


23a、23b :  $N^+$  拡散層

【図 12】

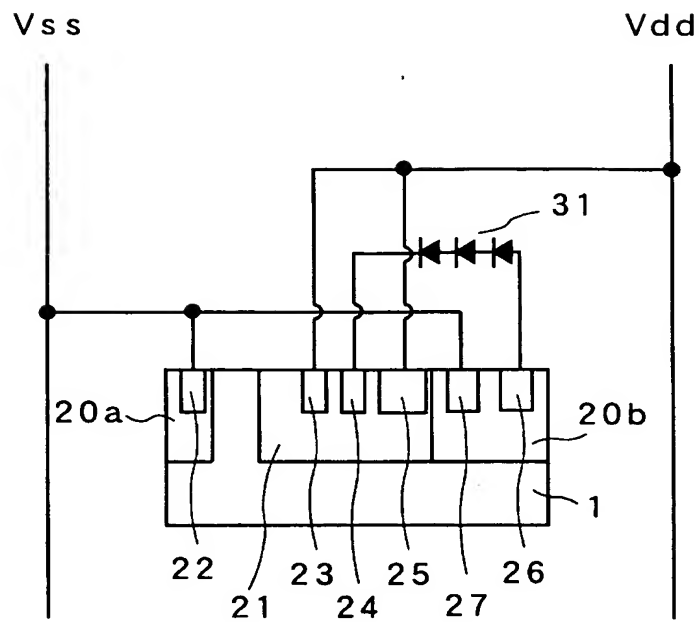


【図 13】

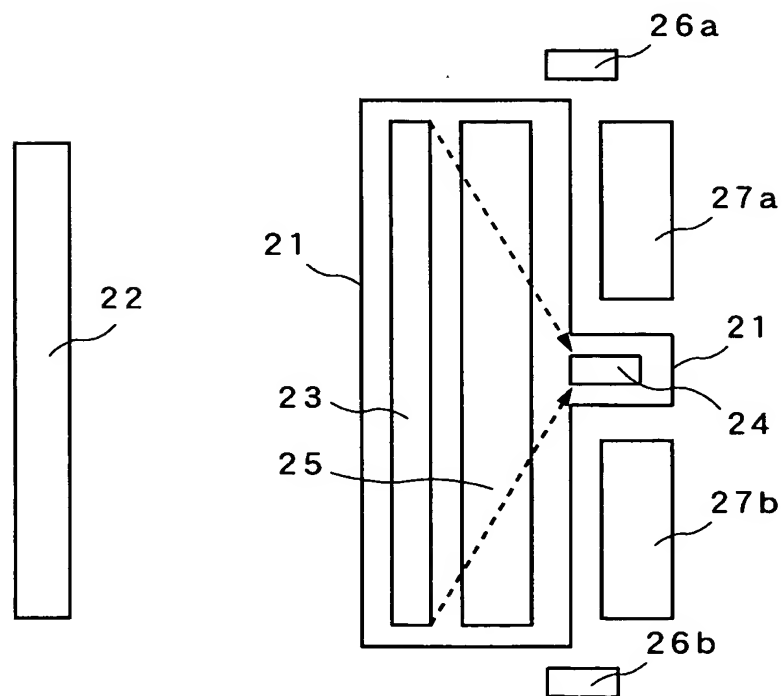


26 : P<sup>+</sup> 拡散層

【図 14】

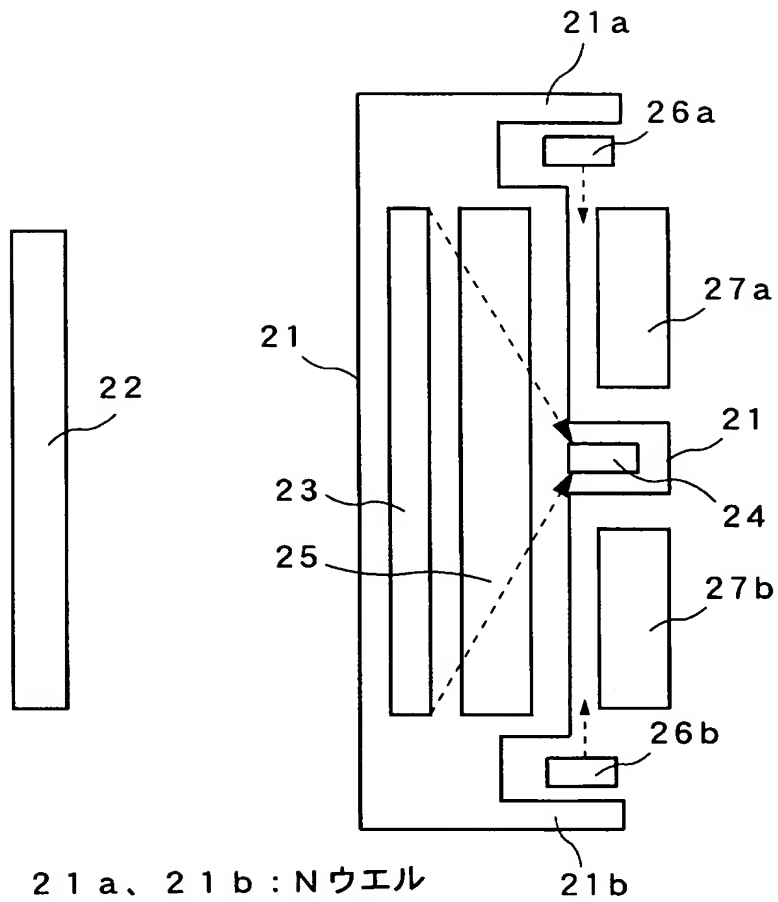


【図 15】

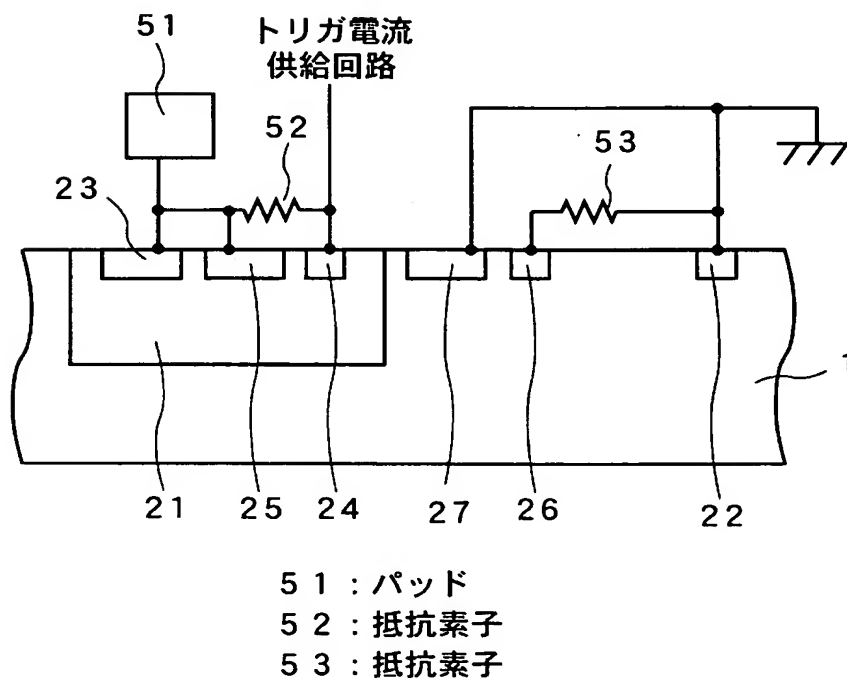


26a、26b：P<sup>+</sup> 拡散層

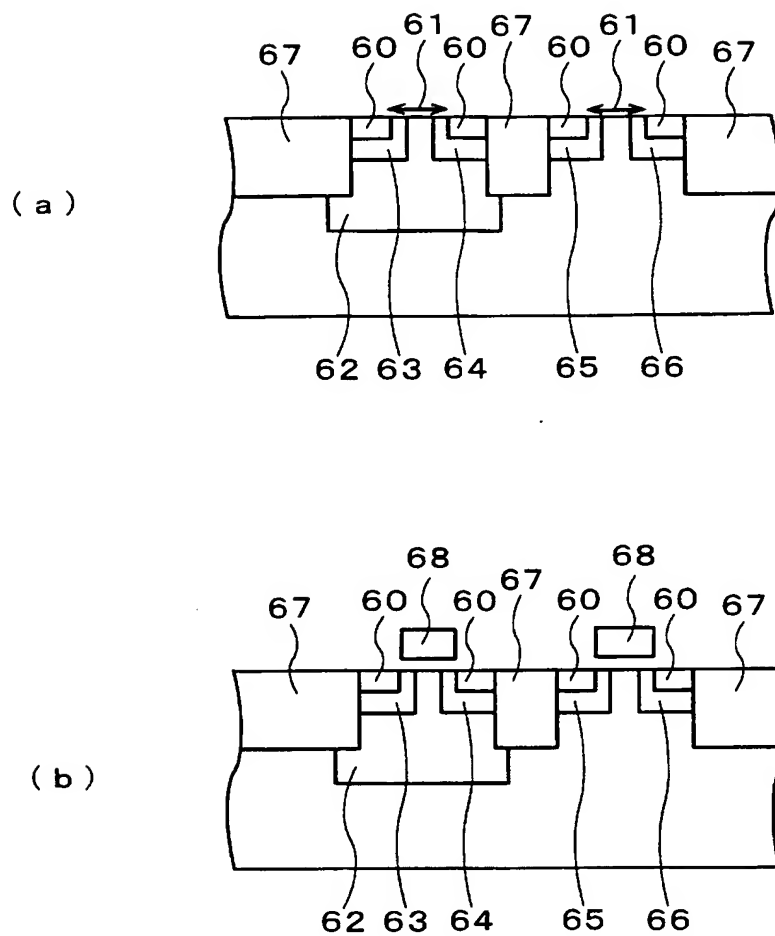
【図 16】



【図 17】



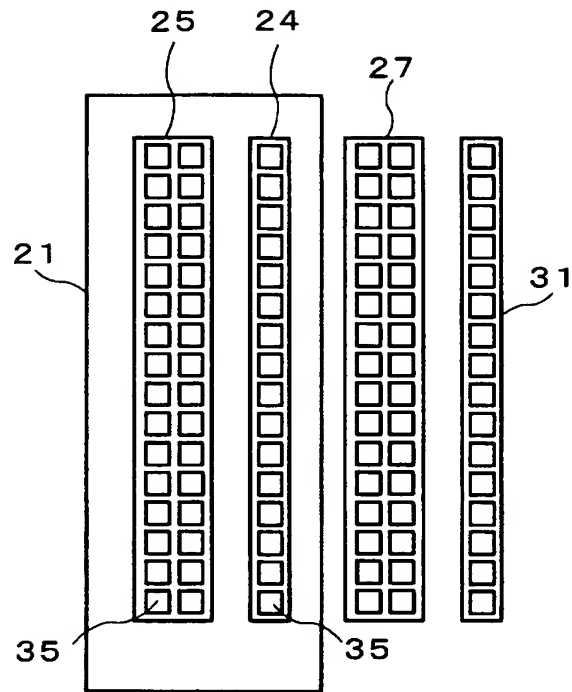
【図 18】



- |                            |                            |
|----------------------------|----------------------------|
| 60 : シリサイド                 | 61 : シリサイド未形成領域            |
| 62 : Nウエル                  | 63、65 : N <sup>+</sup> 拡散層 |
| 64、66 : P <sup>+</sup> 拡散層 | 67 : STI                   |
| 68 : ゲート電極                 |                            |

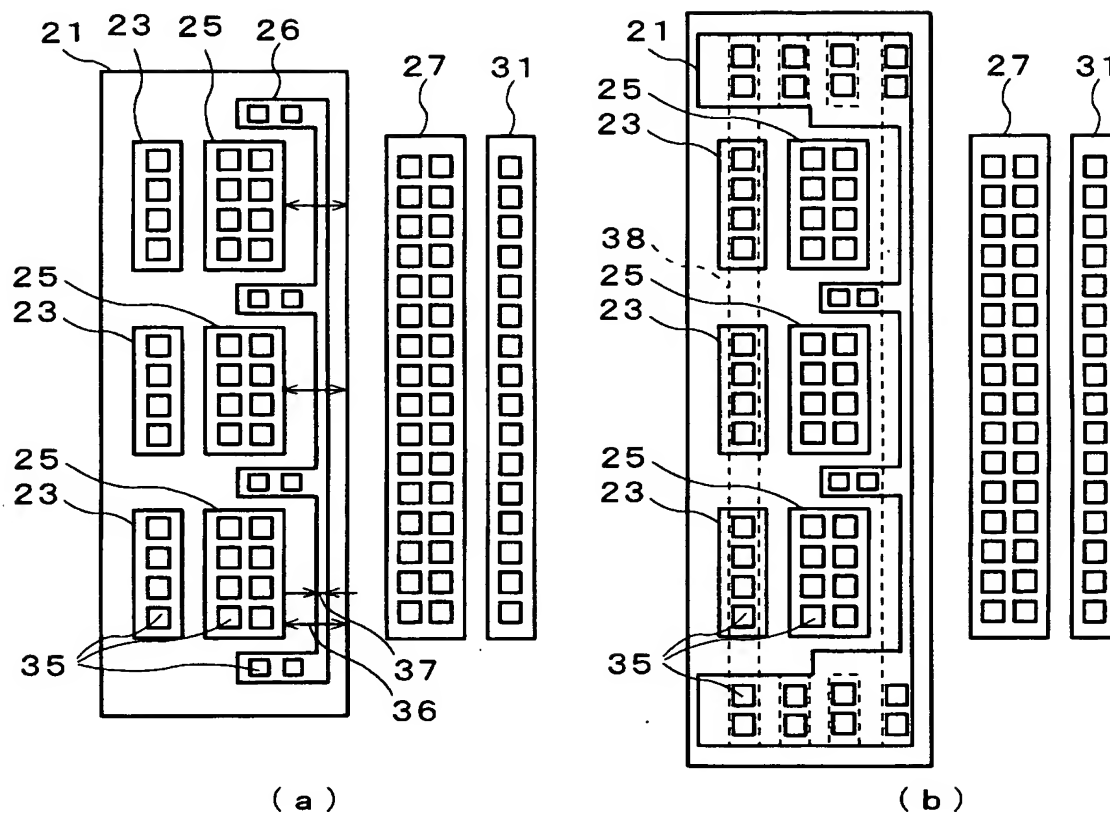


【図 19】



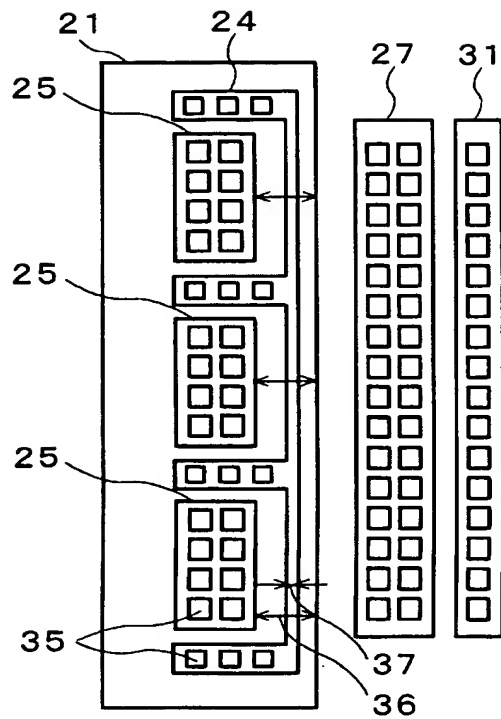
- 21 : Nウエル  
24 : N<sup>+</sup>拡散層 (トリガ電流供給用)  
25 : P<sup>+</sup>拡散層 (アノード)  
27 : N<sup>+</sup>拡散層 (カソード)  
31 : P<sup>+</sup>拡散層 (Pウエル電位固定用電極)  
35 : コンタクト

【図 20】



- 35 : コンタクト
- 36 : アノードNウェルエッジ間距離
- 37 : トリガ拡散層幅
- 38 : メタル

【図 21】

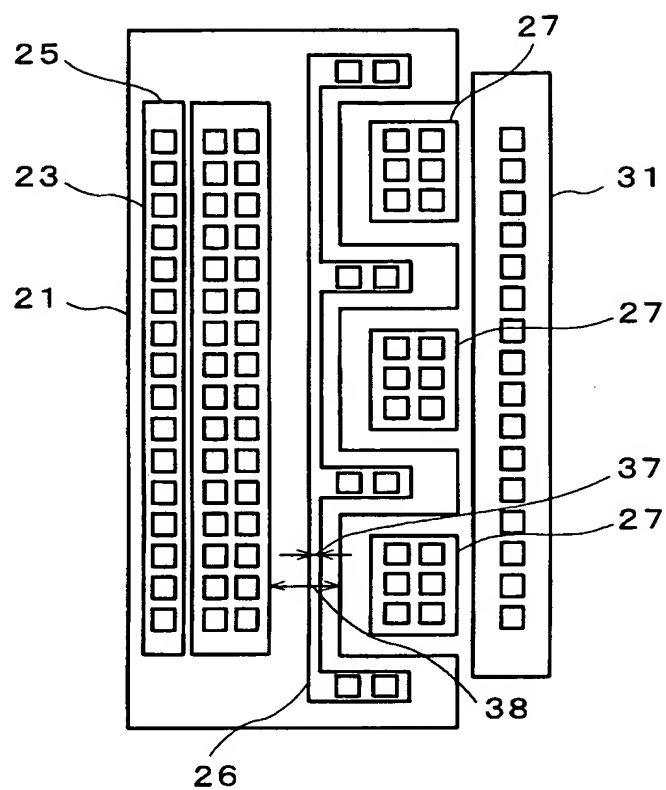


35 : コンタクト

36 : アノードNウエルエッジ間距離

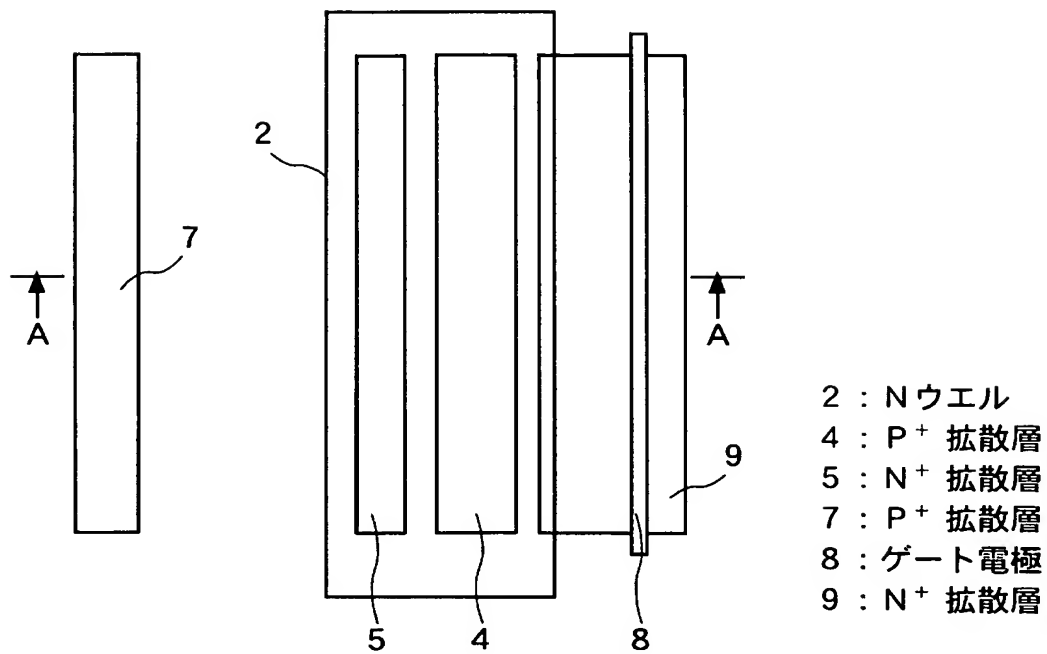
37 : トリガ拡散層幅

【図 22】

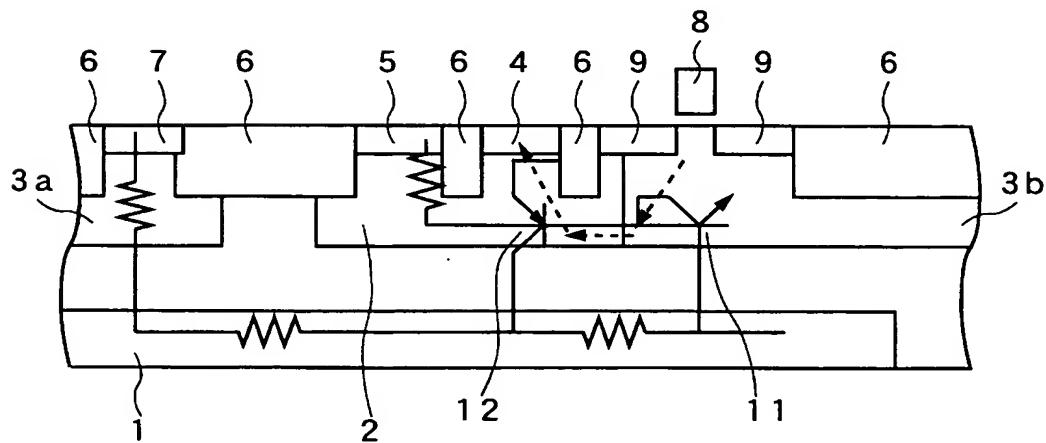


- 35 : コンタクト
- 36 : アノードNウェルエッジ間距離
- 37 : トリガ拡散層幅

【図 23】

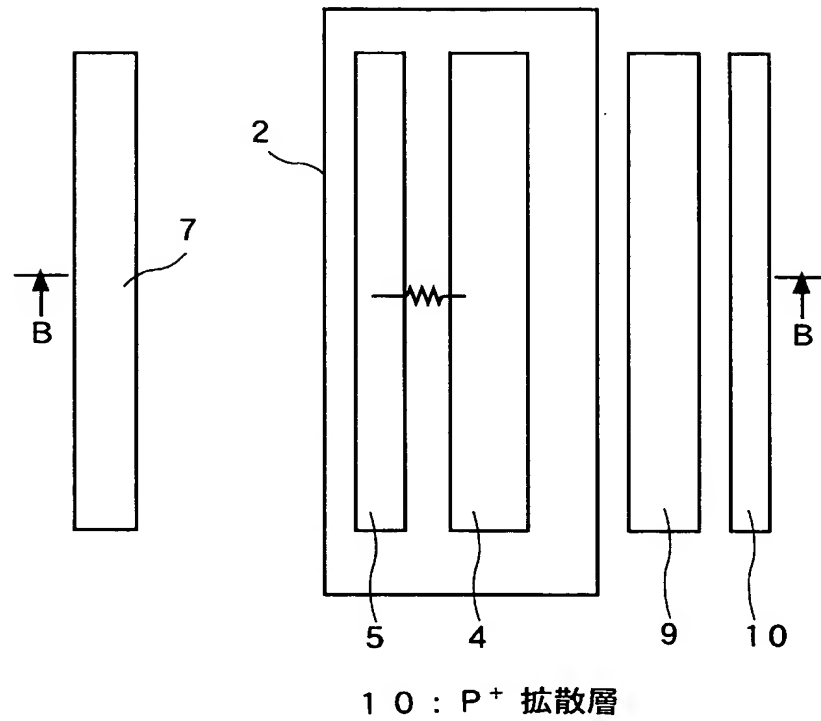


【図 24】

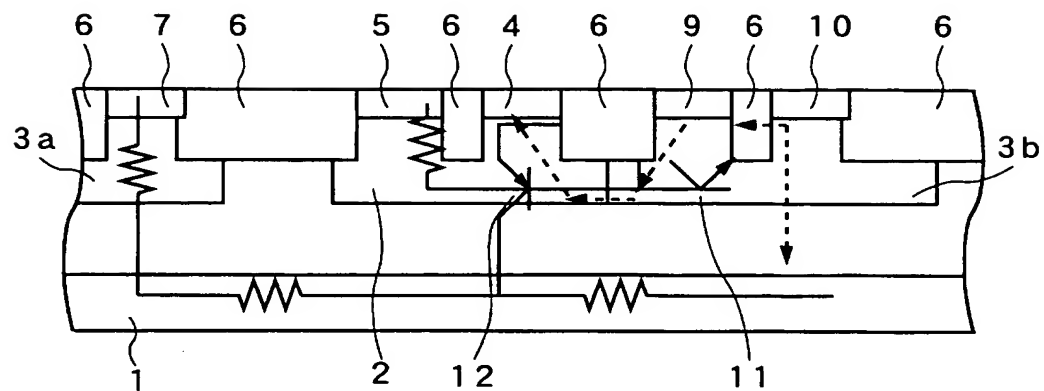


3 a、3 b : P ウエル  
 1 1 : 横型 NPN バイポーラ素子  
 1 2 : 縦型 PNP バイポーラ素子

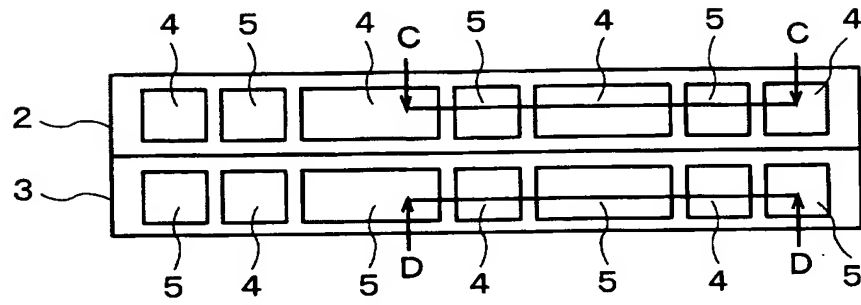
【図 25】



【图 2 6】

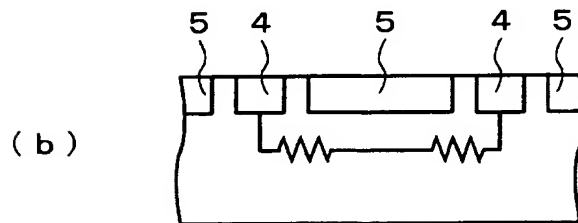
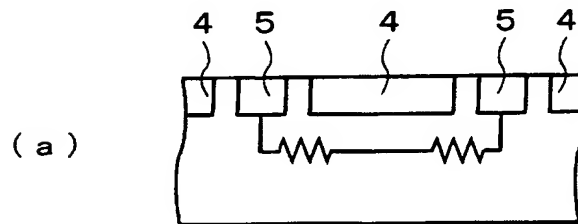


【図 27】



2 : Nウエル  
3 : Pウエル  
4 : P<sup>+</sup>拡散層  
5 : N<sup>+</sup>拡散層

【図 28】



4 : P<sup>+</sup>拡散層  
5 : N<sup>+</sup>拡散層

## 【書類名】 要約書

## 【要約】

【課題】 縦型バイポーラトランジスタ素子を高速動作させることができ、基板電流を効率的に供給することができ、更にレイアウト面積を低く抑制することができると共に、保持電圧などの素子の性能調整が容易な静電気放電保護素子を提供する。

【解決手段】 第2のPウェル20a内には、グラウンドコンタクトとなるラッチアップ防止用P<sup>+</sup>拡散層22が形成され、Nウェル21内には、ウェルコンタクトのN<sup>+</sup>拡散層23と、トリガ電流供給用のN<sup>+</sup>拡散層24と、サイリスタのアノードとなるP<sup>+</sup>拡散層25とが形成され、第1のPウェル20b内には、サイリスタのカソードとなるN<sup>+</sup>拡散層27と、NMOSトランジスタのソース28及びドレイン29が形成されている。NMOSトランジスタ40のドレインはトリガ電流供給用N<sup>+</sup>拡散層24に接続されており、ソースはグラウンド線Vssに接続されている。カソード及びP<sup>+</sup>拡散層22はグラウンドに接続されている。

【選択図】 図1



認定・付加情報

特許出願の番号	特願 2 0 0 3 - 3 0 0 4 2 2
受付番号	5 0 3 0 1 3 9 9 6 8 0
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 8 月 2 8 日

< 認定情報・付加情報 >

【提出日】 平成 15 年 8 月 25 日

特願 2 0 0 3 - 3 0 0 4 2 2

出 願 人 履 歴 情 報

識別番号

[ 3 0 2 0 6 2 9 3 1 ]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社